

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-107219

(43)Date of publication of application : 24.04.1998

(51)Int.Cl. H01L 27/108
H01L 21/8242
H01L 21/768
H01L 29/78

(21)Application number : 08-256912 (71)Applicant : NEC CORP

(22)Date of filing : 27.09.1996 (72)Inventor : MORI HIDEMITSU

TATSUMI TORU

NAMITA HIROMITSU

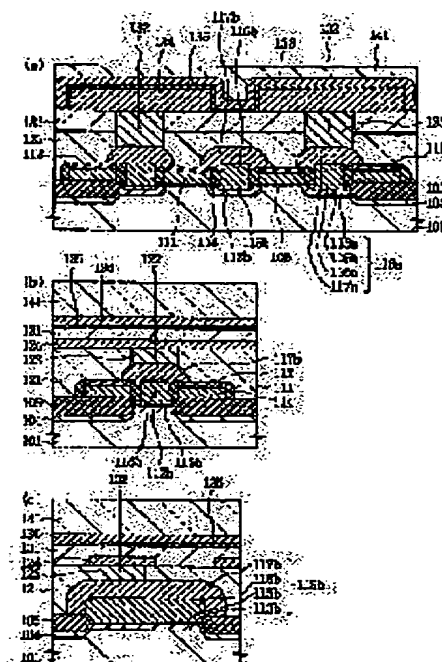
KASAI NAOKI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a silicon layer which is directly connected to a diffusion layer of a MOS transistor and functions as a contact plug.

SOLUTION: N+ type single crystal silicon layers 116a and 116b formed by anisotropic selective epitaxial growth are directly connected onto the surfaces of N- type diffusion layers 113a and 113b which are self aligned to a nitride silicon film spacer 114 and a field oxide film 105. The surfaces of the N' type single crystal silicon layers 116a and 116b are directly covered by N+ type single crystal silicon layers 117a and 117b formed by isotropic selective epitaxial growth.



LEGAL STATUS

[Date of request for examination] 27.09.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-107219

(43) 公開日 平成10年(1998) 4月24日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 27/108
21/8242
21/768
29/78

H 0 1 L 27/10 6 8 1 B
21/90 D
27/10 6 2 1 B
29/78 3 0 1 X

審査請求 有 請求項の数14 O L (全 21 頁)

(21) 出願番号 特願平8-256912

(22) 出願日 平成8年(1996) 9月27日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 森 秀光

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 辰巳 徹

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 波田 博光

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 京本 直樹 (外2名)

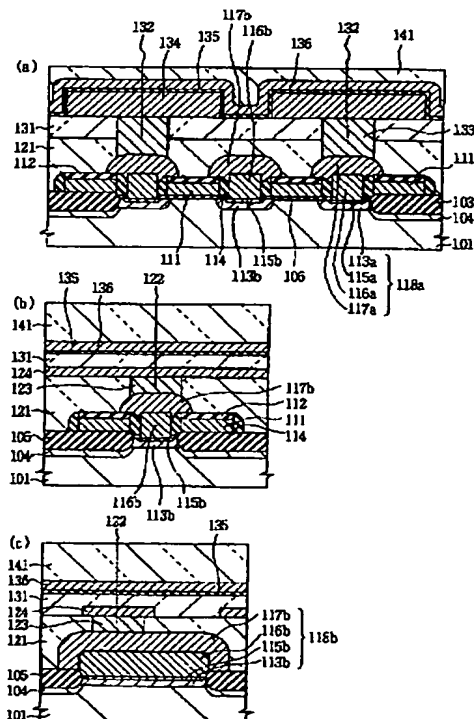
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 MOSトランジスタの拡散層に直接に接続されてコンタクト・プラグとして機能するシリコン層を提供する。

【解決手段】 窒化シリコン膜スペーサ114およびフィールド酸化膜105に自己整合的なN⁻型拡散層113a, 113bの表面には異方性選択エピタキシャル成長によるN⁺型の単結晶シリコン層116a, 116bが直接に接続され、これらN⁺型の単結晶シリコン層116a, 116bの表面は等方性選択エピタキシャル成長によるN⁺型の単結晶シリコン層117a, 117bにより直接に覆われている。



【特許請求の範囲】

【請求項1】 主表面が{100}からなる一導電型のシリコン基板の表面に設けられた〈110〉方向の辺により区画された活性領域と、該活性領域を囲んで該シリコン基板の表面の素子分離領域に設けられたLOCOS型のフィールド酸化膜とを有し、

前記活性領域の表面に設けられたゲート酸化膜を介して該活性領域の表面上を〈110〉方向に横断するゲート電極と、該ゲート電極の上面を直接に覆う酸化シリコン膜キャップと、該ゲート電極および該酸化シリコン膜キャップの側面を直接に覆う窒化シリコン膜スペーサとを有し、前記ゲート電極および前記フィールド酸化膜に自己整合的に前記活性領域の表面に設けられた逆導電型拡散層と、前記窒化シリコン膜スペーサ並びに該フィールド酸化膜に自己整合的な該逆導電型拡散層の表面を直接に覆い、{110}面からなる側面および主たる面が

{100}面からなる上面を有した逆導電型の単結晶シリコンからなる第1のシリコン層と、該第1のシリコン層の上面並びに側面を直接に覆って少なくとも前記酸化シリコン膜キャップおよび該フィールド酸化膜の上面に延在する逆導電型の第2のシリコン層とからなる逆導電型のソース・ドレイン領域を有し、

前記フィールド酸化膜、酸化シリコン膜キャップ、窒化シリコン膜スペーサおよび第2のシリコン層を覆う層間絶縁膜と、該層間絶縁膜に設けられた該第2のシリコン層の上面に達するコンタクト孔と、該コンタクト孔を介して前記ソース・ドレイン領域に接続される該層間絶縁膜の表面上に設けられた配線とを有することを特徴とする半導体装置。

【請求項2】 前記第2のシリコン層が単結晶シリコンからなることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記ゲート電極の最小間隔と前記コンタクト孔の最小口径とが等しいことを特徴とする請求項1もしくは請求項2記載の半導体装置。

【請求項4】 隣接する前記ゲート電極に属する前記窒化シリコン膜スペーサの最小間隔と前記コンタクト孔の最小口径とが等しいことを特徴とする請求項1もしくは請求項2記載の半導体装置。

【請求項5】 主表面が{100}からなる一導電型のシリコン基板の表面に設けられた〈110〉方向の辺により区画された活性領域と、該活性領域を囲んで該シリコン基板の表面の素子分離領域に設けられた溝と、該溝を充填するフィールド絶縁膜とを有し、

前記活性領域の表面に設けられたゲート酸化膜を介して該活性領域の表面上を〈110〉方向に横断するゲート電極と、該ゲート電極の上面を直接に覆う酸化シリコン膜キャップと、該ゲート電極および該酸化シリコン膜キャップの側面を直接に覆う窒化シリコン膜スペーサとを有し、

前記ゲート電極および前記フィールド絶縁膜に自己整合

的に前記活性領域の表面に設けられた逆導電型拡散層と、前記窒化シリコン膜スペーサ並びに該フィールド絶縁膜に自己整合的な該逆導電型拡散層の表面を直接に覆い、{110}面からなる側面および主たる面が{100}面からなる上面を有した逆導電型の単結晶シリコンからなる第1のシリコン層と、該第1のシリコン層の上面並びに側面を直接に覆って少なくとも前記酸化シリコン膜キャップおよび該フィールド絶縁膜の上面に延在する逆導電型の第2のシリコン層とからなる逆導電型のソース・ドレイン領域を有し、

前記フィールド絶縁膜、酸化シリコン膜キャップ、窒化シリコン膜スペーサおよび第2のシリコン層を覆う層間絶縁膜と、該層間絶縁膜に設けられた該第2のシリコン層の上面に達するコンタクト孔と、該コンタクト孔を介して前記ソース・ドレイン領域に接続される該層間絶縁膜の表面上に設けられた配線とを有することを特徴とする半導体装置。

【請求項6】 前記第2のシリコン層が単結晶シリコンからなることを特徴とする請求項5記載の半導体装置。

【請求項7】 前記ゲート電極の最小間隔と前記コンタクト孔の最小口径とが等しいことを特徴とする請求項5もしくは請求項6記載の半導体装置。

【請求項8】 隣接する前記ゲート電極に属する前記窒化シリコン膜スペーサの最小間隔と前記コンタクト孔の最小口径とが等しいことを特徴とする請求項5もしくは請求項6記載の半導体装置。

【請求項9】 主表面が{100}からなる一導電型のシリコン基板の表面における〈110〉方向の辺により区画された活性領域を囲む素子分離領域に、LOCOS型のフィールド酸化膜を形成する工程と、

熱酸化により前記活性領域の表面にゲート酸化膜を形成し、全面に導電体膜を形成し、該導電体膜の表面を覆う酸化シリコン膜を形成し、該酸化シリコン膜および導電体膜をパターニングして該ゲート酸化膜を介して該活性領域の表面上を〈110〉方向に横断するゲート電極と該ゲート電極の上面を直接に覆う酸化シリコン膜キャップとを形成し、該ゲート電極および前記フィールド酸化膜をマスクにして該活性領域の表面に逆導電型拡散層を形成する工程と、

全面に窒化シリコン膜を形成し、異方性エッチングにより該窒化シリコン膜に対するエッチ・バックを行なって前記酸化シリコン膜キャップおよびゲート電極の側面を直接に覆う窒化シリコン膜スペーサを形成するとともに該窒化シリコン膜スペーサおよびフィールド酸化膜に自己整合的に前記ゲート酸化膜を除去する工程と、

単結晶シリコンの異方性選択エピタキシャル成長法により、前記逆導電型拡散層の表面に逆導電型の第1のシリコン層を形成する工程と、

単結晶シリコンの等方性選択エピタキシャル成長法もしくは多結晶シリコンの選択成長法により、前記第1の単

結晶シリコン層の上面並びに側面を直接に覆い、少なくとも前記酸化シリコン膜キャップおよび該フィールド絶縁膜の上面に延在する逆導電型の第2のシリコン層を形成する工程と、

全面に層間絶縁膜を形成し、該層間絶縁膜に前記第2のシリコン層に達するコンタクト孔を形成し、該層間絶縁膜の表面に該コンタクト孔を介して該第2のシリコン層に接続される配線を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項10】 前記異方性選択エピタキシャル成長法がジ・シラン (Si_2H_6) もしくはモノ・シラン (SiH_4) を主原料ガスとして行なわれることを特徴とする請求項9記載の半導体装置の製造方法。

【請求項11】 前記第2のシリコン層が前記第1のシリコン層と同じ主原料ガスを用いた単結晶シリコンの等方性選択エピタキシャル成長法により形成され、さらに該第2のシリコン層の成長温度が該第1のシリコン層の成長温度より低いことを特徴とする請求項10記載の半導体装置の製造方法。

【請求項12】 主表面が $\{100\}$ からなる一導電型のシリコン基板の表面における $\langle 110 \rangle$ 方向の辺により区画された活性領域を囲む素子分離領域に溝を形成し、全面に絶縁膜を形成し、該絶縁膜を該溝内にのみ残置してフィールド絶縁膜を形成する工程と、熱酸化により前記活性領域の表面にゲート酸化膜を形成し、全面に導電体膜を形成し、該導電体膜の表面を覆う酸化シリコン膜を形成し、該酸化シリコン膜および導電体膜をパターンニングして該ゲート酸化膜を介して該活性領域の表面上を $\langle 110 \rangle$ 方向に横断するゲート電極と該ゲート電極の上面を直接に覆う酸化シリコン膜キャップとを形成し、該ゲート電極および前記フィールド絶縁膜をマスクにして該活性領域の表面に逆導電型拡散層を形成する工程と、

全面に窒化シリコン膜を形成し、異方性エッチングにより該窒化シリコン膜に対するエッチ・バックを行なって前記酸化シリコン膜キャップおよびゲート電極の側面を直接に覆う窒化シリコン膜スペーサを形成するとともに該窒化シリコン膜スペーサおよびフィールド絶縁膜に自己整合的に前記ゲート酸化膜を除去する工程と、単結晶シリコンの異方性選択エピタキシャル成長法により、前記逆導電型拡散層の表面に逆導電型の第1のシリコン層を形成する工程と、

単結晶シリコンの等方性選択エピタキシャル成長法もしくは多結晶シリコンの選択成長法により、前記第1の単結晶シリコン層の上面並びに側面を直接に覆い、少なくとも前記酸化シリコン膜キャップおよび該フィールド絶縁膜の上面に延在する逆導電型の第2のシリコン層を形成する工程と、

全面に層間絶縁膜を形成し、該層間絶縁膜に前記第2のシリコン層に達するコンタクト孔を形成し、該層間絶縁

膜の表面に該コンタクト孔を介して該第2のシリコン層に接続される配線を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項13】 前記異方性選択エピタキシャル成長法がジ・シランもしくはモノ・シランを主原料ガスとして行なわれることを特徴とする請求項12記載の半導体装置の製造方法。

【請求項14】 前記第2のシリコン層が前記第1のシリコン層と同じ主原料ガスを用いた単結晶シリコンの等方性選択エピタキシャル成長法により形成され、さらに該第2のシリコン層の成長温度が該第1のシリコン層の成長温度より低いことを特徴とする請求項13記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置およびその製造方法に関し、特に拡散層と配線との接続が配線層の表面に直接に接続して設けられた単結晶シリコン層を介して行なわれるMOSトランジスタおよびその製造方法に関する。

【0002】

【従来の技術】 半導体素子の微細化による半導体装置の高集積化により、例えばDRAMでは3年に4倍の記憶容量の増加が実現されている。半導体装置の高集積化は、単に半導体素子自体の微細化にのみにより実現されるものではなく、これら半導体素子を相互接続するための配線、さらにはこれら配線と半導体素子との接続に介在するコンタクト孔の微細化が必須である。半導体素子並びにコンタクト孔をその時点でのデザイン・ルールにより規定される最小加工寸法 (=F) により形成するという要求から、自己整合型コンタクト孔と呼ばれるコンタクト孔に関わる種々の構造が各種提示されている。

【0003】 本発明者等は、1995年の12月に開催されたインターナショナル・エレクトロン・デバイス・ミーティングにおいて、予稿集IEDM-95の665ページ～668ページ (講演番号27.4.1) に記載したように、自己整合型コンタクト孔に係わる新たな提案を行なった。この提案は、主表面が $\{100\}$ からなるシリコン基板の表面に設けられた拡散層の露出面に自己整合的に、(等方性ではなく) 異方性の選択エピタキシャル成長により、単結晶シリコン層を形成するものである。例えばN型の拡散層に対するこの単結晶シリコン層の異方性選択エピタキシャル成長は、10-7Pa台の超高真空化学気相成長 (ultra-high-vacuum-chemical-vapor-deposition: UHV-CVD) 装置を用い、例えば700℃の温度で主原料ガスおよびドーピング・ガスとしてジ・シラン (Si_2H_6) およびホスフィン (PH_3) を用いて行なわれる。このときの単結晶シリコン層は、($\langle 110 \rangle$ 方向に比べて) シリコン基板の主表面に対

して垂直な〈100〉方向に主として成長する。

【0004】上記報告を行なった後、本発明者等は上記報告を土台にして異方性選択エピタキシャル成長の適正な条件の検討を行ない、さらにこれらに基づいて0.25 μm デザイン・ルール（最小加工寸法： $F=0.25\ \mu\text{m}$ （250 nm））によるDRAMの試作を試みた。DRAMの平面模式図および断面模式図である図12および図13を参照して説明すると、この異方性選択エピタキシャル成長法を利用したこのDRAMは、ビット線がキャパシタより下の位置に設けられたCOB構造のDRAMであり、以下のようになっている。このときのフォトリソグラフィ工程におけるマスク・アラアメント・マージン（ $=\alpha$ ）は50 nm程度である。ここで、図12は階層化した平面模式図であり、図12（a）は活性領域とワード線を兼るゲート電極と上記単結晶シリコン層との位置関係を示す図であり、図12（b）はゲート電極および単結晶シリコン層とビット線とストレージ・ノード電極との位置関係を示す図である。また、図13（a）、（b）および（c）は、図12のAA線、BB線およびCC線での断面模式図である。なお、図12ではこれらの位置関係の理解を容易にするために、ゲート電極およびビット線の幅をそれぞれ実際より細めに表示してある。

【0005】P型シリコン基板301の主表面は〈100〉であり、このP型シリコン基板301の比抵抗は $5\ \Omega\cdot\text{cm}$ 程度である。このP型シリコン基板301が構成されるシリコン・ウェハのオリエンテーション・フラットは〈110〉方向の辺からなる。P型シリコン基板301の表面の活性領域302は素子分離領域により囲われており、素子分離領域は膜厚300 nm程度のLOCOS型のフィールド酸化膜305とこのフィールド酸化膜305の底面に設けられた（チャネル・ストップ、パンチスルー・ストップとして機能する）F⁻型拡散層304とから構成されている。これらの活性領域302はP型シリコン基板301の主表面に規則的に配置されており、これらの活性領域302の周辺は〈110〉方向の辺からなる（換言すれば、活性領域302は〈110〉方向の辺により区画されていることになる）。活性領域302の最小幅（ニチャネル幅）および最小間隔はともに F （ $=0.25\ \mu\text{m}$ （250 nm））程度である。膜厚150 nm程度のワード線を兼るゲート電極311は、活性領域302の表面に熱酸化により設けられた8.5 nm程度の膜厚のゲート酸化膜306を介して、活性領域302の表面上を横断している。少なくとも活性領域302直上においては、これらゲート電極311は活性領域302に直交している。ゲート電極311の幅（ゲート長）、間隔および配線ピッチは、それぞれ F 、 F および $2F$ （ $=0.5\ \mu\text{m}$ （500 nm））程度である。ゲート電極311は膜厚50 nm程度のN⁺型多結晶シリコン膜に膜厚100 nm程度のタングステ

ン・シリサイド膜が積層されてなる。N⁺型多結晶シリコン膜はジ・クロル・シラン（ SiH_2Cl_2 ）、ホスフィン（ PH_3 ）を原料ガス、ドーピング・ガスに用いた700℃程度でのCVD法により形成される。タングステン・シリサイド膜はスパッタリングにより形成される。

【0006】ゲート電極311の上面は膜厚70 nm程度の酸化シリコン膜キャップ312により直接に覆われている。活性領域302の表面には、ゲート電極311およびフィールド酸化膜305に自己整合的に、100 nm程度の接合の深さを有したN⁻型拡散層313a、313bが設けられている。これらのN⁻型拡散層313a、313bは30 keVでの $2\times 10^{13}\text{cm}^{-2}$ 程度の燐もしくは砒素のイオン注入等により形成されている。ゲート電極311並びに酸化シリコン膜キャップ312の側面は、膜厚50 nm（ $=d$ （ $=\alpha$ ））程度の酸化シリコン膜スペーサ314により直接に覆われている。活性領域302の表面に設けられたゲート酸化膜306はフィールド酸化膜305およびこれらの酸化シリコン膜スペーサ314に自己整合的に除去され、これらの領域でのN⁻型拡散層313a、313bの表面は露出されている。2つのゲート電極311に挟まれた方向でのこれら露出面の幅は 150 nm （ $=F-2d$ ）程度であり、フィールド酸化膜305に挟まれた部分でのこれら露出面の幅は 250 nm （ $=F$ ）程度である。酸化シリコン膜キャップ312を構成する酸化シリコン膜は当初膜厚100 nm程度のCVD法により形成された酸化シリコン膜からなるが、酸化シリコン膜スペーサ314を形成する段階でこの酸化シリコン膜の膜厚が薄くなる。活性領域302直上での酸化シリコン膜キャップ312の上面の高さ（P型シリコン基板301の主表面から 230 nm 程度）は、フィールド酸化膜305直上での酸化シリコン膜キャップ312の上面の高さ（P型シリコン基板301の主表面から 370 nm 程度）より、 140 nm 程度低くなっている。

【0007】上記N⁻型拡散層313a、313bの露出面は、500 nm程度の膜厚（高さ）と $1\times 10^{19}\text{ cm}^{-3}$ 程度の不純物濃度とを有したN⁺型の単結晶シリコン層316a、316bにより、直接に覆われている。N⁻型拡散層313a、313bの露出面には、70 nm程度の（接合の）深さを有したN⁺型拡散層315a、315bが設けられている。これらのN⁺型拡散層315a、315bは、それぞれ単結晶シリコン層316a、316bからの燐の固相拡散により形成されている。ソース・ドレイン領域318aはN⁻型拡散層313a、N⁺型拡散層315aおよび単結晶シリコン層316aから構成され、ソース・ドレイン領域318bはN⁻型拡散層313b、N⁺型拡散層315bおよび単結晶シリコン層316bから構成されている。これらの単結晶シリコン層316a、316bは、それぞれ後述

するノード・コンタクト孔、ビット・コンタクト孔に対するコンタクト・パッドとして機能することになる。これら単結晶シリコン層316a、316bの主たる上面はP型シリコン基板301の主表面に平行な{100}面からなり、これら単結晶シリコン層316a、316bの側面はP型シリコン基板301の主表面に垂直な{110}面からなる。さらに単結晶シリコン層316a、316bはフィールド酸化膜305のバース・ピーク近傍上並びに酸化シリコン膜スペーサ314上端近傍上に多少延在している。単結晶シリコン層316a、316bの上面と側面とは、厳密には直接に交叉せずに、(P型シリコン基板301の主表面に平行な{100}面をなすシリコン単原子層のテラスがステップ上に積層してなる)ファセットを介して交叉している。なお以降の記述においては、特に断わらない限り、ファセットが上面の一部に含まれているものと見なして記載する。

【0008】これらの単結晶シリコン層316a、316bは、UHV-CVD装置を用いて、625℃の温度、 1×10^{-2} Pa程度の圧力のもとで、2.0 sccm程度の流量のジ・シランと0.2 sccm程度の流量の水素(H₂)により1%に希釈されたホスフィンからなるドーピング・ガスとにより行なわれる。このとき、P型シリコン基板301の主表面に平行(および垂直)な単結晶シリコン層316a、316bの{100}面の<100>方向への成長速度は、10 nm/min程度である。下地が酸化シリコン膜の場合、単結晶シリコン層316a、316bの{110}面の<110>方向への成長速度は{100}面の<100>方向への成長速度の1/20程度である。単結晶シリコン層316a等のフィールド酸化膜305上への延在幅は(マスク・アライメント・マージン($\alpha = 50$ nm)より狭く)25 nm程度であり、単結晶シリコン層316a等の酸化シリコン膜スペーサ314上端近傍上への延在幅は(α よりさらに狭く)10 nmないし15 nm程度になる。ここでは、活性領域302の周辺が<110>方向の辺からなり、活性領域302をゲート電極311が<110>方向に横断することから、単結晶シリコン層316a、316bは主としてP型シリコン基板301の主表面に垂直な<100>方向に成長することになる。仮に、活性領域302の周辺をなす辺もしくは活性領域302を横断する部分でのゲート電極311の方向に<100>方向が含まれている場合、これらの方向に平行な{100}面からなる単結晶シリコン層の側面もこれらの方向に直交する方向に選択的に成長することになり、好ましくない。

【0009】NチャネルMOSTランジスタを含めてP型シリコン基板301は第1の層間絶縁膜321により覆われている。この層間絶縁膜321は、例えばCVD法による酸化シリコン膜とBPSG膜との積層膜等のような酸化シリコン系絶縁膜からなり、化学機械研磨(C

MP)等により平坦化された上面を有している。単結晶シリコン層316a等の上面上での層間絶縁膜321の膜厚は例えば300 nm程度である。この層間絶縁膜321には、層間絶縁膜321を貫通して単結晶シリコン層316bに達するF程度の口径を有したビット・コンタクト孔322が設けられている。これらのビット・コンタクト孔322は、例えばN⁺型多結晶シリコン膜からなるコンタクト・プラグ323により充填されている。層間絶縁膜321の上面上に設けられたビット線324は、コンタクト・プラグ323に直接に接続され、ソース・ドレイン領域318bに接続されている。これらのビット線324は例えば膜厚120 nm程度のタングステン・シリサイド膜からなり、ビット線324の最小線幅および最小間隔はともにF程度であり、ビット・コンタクト孔322の部分でのビット線324の線幅は $0.35 \mu\text{m} (= F + 2\alpha)$ 程度であり、ビット線324の配線ピッチは $0.6 \mu\text{m} (= 2F + 2\alpha)$ 程度である。

【0010】ビット線324を含めて、層間絶縁膜321は第2の層間絶縁膜331により覆われている。この層間絶縁膜331も酸化シリコン系絶縁膜からなり、ビット線324の上面での層間絶縁膜331の膜厚は300 nm程度であり、層間絶縁膜331の上面も平坦化されている。F程度の口径を有して層間絶縁膜331および321を貫通して設けられたノード・コンタクト孔332は、単結晶シリコン層316aに達し、例えばN⁺型多結晶シリコン膜からなるコンタクト・プラグ333により充填されている。層間絶縁膜331の上面上に設けられたストレージ・ノード電極334は、例えば膜厚800 nm程度のN⁺型多結晶シリコン膜からなり、コンタクト・プラグ333に直接に接続され、ソース・ドレイン領域318aに接続されている。これらのストレージ・ノード電極334の間隔および最小幅はFおよび $F + 2\alpha$ 程度である。ストレージ・ノード電極334の上面および側面と層間絶縁膜331の上面の少なくとも一部は、酸化シリコン膜、窒化シリコン膜および酸化シリコン膜からなる積層膜(通称、ONO膜)により構成された容量絶縁膜335により直接に覆われている。容量絶縁膜335の酸化シリコン膜換算膜厚は5 nm程度である。容量絶縁膜335の表面は、例えば膜厚150 nm程度のN⁺型多結晶シリコン膜からなるセル・プレート電極336により直接に覆われている。セル・プレート電極336の表面は酸化シリコン系絶縁膜からなる表面保護膜341により直接に覆われている。ストレージ・ノード電極334直上での表面保護膜341の膜厚は300 nm程度である。

【0011】

【発明が解決しようとする課題】上記DRAMの単結晶シリコン層316a、316bを公知の等方性選択エピタキシャル成長法により形成するならば、N⁻型拡散層

313aの間の間隔が350nm程度であることから、特にノード・コンタクト孔に対するコンタクト・パッドとして機能する単結晶シリコン層の間隔が狭くなり、コンタクト・パッドとして機能させるために必要な高さ（少なくとも酸化シリコン膜キャップ312の上面より高いことが好ましい）を確保することが困難になる。これに対して上述の異方性選択エピタキシャル成長による単結晶シリコン層は、〈110〉方向への{110}面の成長速度に比べて〈100〉方向への{100}面の成長速度が高いことから、図12等に示したように、単結晶シリコン層316aと単結晶シリコン層316bとの間、隣接する2つの単結晶シリコン層316aの間に短絡が生じないようにそれぞれ所要の間隔を設けることが容易である。

【0012】しかしながら、上記異方性選択エピタキシャル成長におけるこの「〈110〉方向への{110}面の成長速度に比べて〈100〉方向への{100}面の成長速度が高い」ことに纏わる新たな問題点が生じる。模式図である図14を参照してこの問題点を説明する。

【0013】この異方性選択エピタキシャル成長では、〈110〉方向への{110}面の成長速度が〈100〉方向への{100}面の成長速度の1/20程度であり、単結晶シリコン層316a、316bの上面が酸化シリコン膜スペーサ314の上端部近傍に達した後、酸化シリコン膜スペーサ314の上端部近傍上へ延在するこれら単結晶シリコン層316a、316bの〈110〉方向への{110}面の成長が開始される。その結果、酸化シリコン膜スペーサ314の上端部近傍上（さらには酸化シリコン膜キャップ312の上面上）への単結晶シリコン層316a、316bのオーバー・ラップ幅は、フィールド酸化膜305の上面上での単結晶シリコン層316a、316bのオーバー・ラップ幅より狭くなる。このような状況で例えばノード・コンタクト孔322を開口するとき、マスク・アライメントのずれ δ （ただし、 $0 \leq \delta \leq \alpha$ ）が0でないならば、特に酸化シリコン膜スペーサ314の上端部および酸化シリコン膜キャップ312の一部もエッチング除去されて、ゲート電極311を覆う酸化シリコン膜キャップ312、酸化シリコン膜スペーサ314の膜厚が局所的に薄くなり、さらにはゲート電極311の一部がノード・コンタクト孔322の底部に露出することになる。単結晶シリコン層316a等がコンタクト・パッドとして充分に機能するためには、ノード・コンタクト孔322等の底部に露出するのが単結晶シリコン層316a等の上面のみであることが必要である。したがって、この場合の単結晶シリコン層316a等はコンタクト・パッドとして機能するには不十分である。そのため、ソース・ドレイン領域（この場合にはキャパシタのストレージ・ノード電極）とゲート電極311との間のリーク電流が増大し、さら

にはこれらの間の短絡が生じ易くなる。

【0014】なおこの場合、この異方性選択エピタキシャル成長により例えば2 μ m程度の高さの単結晶シリコン層を設けるならば、酸化シリコン膜キャップ312上においてマスク・アライメント・マージン（ α ）にみあうだけ単結晶シリコン層のオーバー・ラップ幅を確保することが可能になる。しかしながら、このような高さの単結晶シリコン層は、非現実的であり、後工程の加工性等に支障を来すことになる。

【0015】したがって本発明の目的は、拡散層とこれら拡散層の表面上に自己整合的に設けられたコンタクト・パッドとして機能する単結晶シリコン層とを含んでなるソース・ドレイン領域を有する半導体装置において、コンタクト孔を介してこれらのソース・ドレイン領域に接続される配線とゲート電極との間のリーク電流および短絡が抑制し易く、後工程に支障を来さない現実的な単結晶シリコン層を有してなる半導体装置とその製造方法とを提供することにある。

【0016】

【課題を解決するための手段】本発明の半導体装置の第1の態様は、主表面が{100}からなる一導電型のシリコン基板の表面に設けられた〈110〉方向の辺により区画された活性領域と、これらの活性領域を囲んでこのシリコン基板の表面の素子分離領域に設けられたL₀CO₂S型のフィールド酸化膜とを有し、上記活性領域の表面に設けられたゲート酸化膜を介してこれらの活性領域の表面上を〈110〉方向に横断するゲート電極と、これらのゲート電極の上面を直接に覆う酸化シリコン膜キャップと、これらのゲート電極およびこれらの酸化シリコン膜キャップの側面を直接に覆う窒化シリコン膜スペーサとを有し、上記ゲート電極および上記フィールド酸化膜に自己整合的に上記活性領域の表面に設けられた逆導電型拡散層と、上記窒化シリコン膜スペーサ並びにこのフィールド酸化膜に自己整合的なこれらの逆導電型拡散層の表面を直接に覆い、{110}面からなる側面および主たる面が{100}面からなる上面を有した逆導電型の単結晶シリコンからなる第1のシリコン層と、これらの第1のシリコン層の上面並びに側面を直接に覆って少なくとも上記酸化シリコン膜キャップおよびこのフィールド酸化膜の上面に延在する逆導電型の第2のシリコン層とからなる逆導電型のソース・ドレイン領域を有し、上記フィールド酸化膜、酸化シリコン膜キャップ、窒化シリコン膜スペーサおよび第2のシリコン層を覆う層間絶縁膜と、この層間絶縁膜に設けられたこれらの第2のシリコン層の上面に達するコンタクト孔と、これらのコンタクト孔を介して上記ソース・ドレイン領域に接続されるこの層間絶縁膜の表面上に設けられた配線とを有することを特徴とする。好ましくは、上記第2のシリコン層が単結晶シリコンからなる。さらに好ましくは、上記コンタクト孔の最小口径と、上記ゲート電極の

最小間隔あるいは隣接する上記ゲート電極に属する上記窒化シリコン膜スペーサの最小間隔とが等しい。

【0017】本発明の半導体装置の第2の態様は、主表面が{100}からなる一導電型のシリコン基板の表面に設けられた〈110〉方向の辺により区画された活性領域と、これらの活性領域を囲んでこのシリコン基板の表面の素子分離領域に設けられた溝と、これらの溝を充填するフィールド絶縁膜とを有し、上記活性領域の表面に設けられたゲート酸化膜を介してこれらの活性領域の表面上を〈110〉方向に横断するゲート電極と、これらのゲート電極の上面を直接に覆う酸化シリコン膜キャップと、これらのゲート電極およびこれらの酸化シリコン膜キャップの側面を直接に覆う窒化シリコン膜スペーサとを有し、上記ゲート電極および上記フィールド絶縁膜に自己整合的に上記活性領域の表面に設けられた逆導電型拡散層と、上記窒化シリコン膜スペーサ並びにこのフィールド絶縁膜に自己整合的なこれらの逆導電型拡散層の表面を直接に覆い、{110}面からなる側面および主たる面が{100}面からなる上面を有した逆導電型の単結晶シリコンからなる第1のシリコン層と、これらの第1のシリコン層の上面並びに側面を直接に覆って少なくとも上記酸化シリコン膜キャップおよびこのフィールド絶縁膜の上面に延在する逆導電型の第2のシリコン層とからなる逆導電型のソース・ドレイン領域を有し、上記フィールド絶縁膜、酸化シリコン膜キャップ、窒化シリコン膜スペーサおよび第2のシリコン層を覆う層間絶縁膜と、この層間絶縁膜に設けられたこれらの第2のシリコン層の上面に達するコンタクト孔と、これらのコンタクト孔を介して上記ソース・ドレイン領域に接続されるこの層間絶縁膜の表面上に設けられた配線とを有することを特徴とする。好ましくは、上記第2のシリコン層が単結晶シリコンからなる。さらに好ましくは、上記コンタクト孔の最小口径と、上記ゲート電極の最小間隔あるいは隣接する上記ゲート電極に属する上記窒化シリコン膜スペーサの最小間隔とが等しい。

【0018】本発明の半導体装置の製造方法の第1の態様は、主表面が{100}からなる一導電型のシリコン基板の表面における〈110〉方向の辺により区画された活性領域を囲む素子分離領域に、LOCOS型のフィールド酸化膜を形成する工程と、熱酸化により上記活性領域の表面にゲート酸化膜を形成し、全面に導電体膜を形成し、この導電体膜の表面を覆う酸化シリコン膜を形成し、この酸化シリコン膜および導電体膜をパターンニングしてこのゲート酸化膜を介してこれらの活性領域の表面上を〈110〉方向に横断するゲート電極とこれらのゲート電極の上面を直接に覆う酸化シリコン膜キャップとを形成し、これらのゲート電極および上記フィールド酸化膜をマスクにしてこれらの活性領域の表面に逆導電型拡散層を形成する工程と、全面に窒化シリコン膜を形成し、異方性エッチングによりこの窒化シリコン膜に対

するエッチ・バックを行なって上記酸化シリコン膜キャップおよびゲート電極の側面を直接に覆う窒化シリコン膜スペーサを形成するとともにこれらの窒化シリコン膜スペーサおよびフィールド酸化膜に自己整合的に上記ゲート酸化膜を除去する工程と、単結晶シリコンの異方性選択エピタキシャル成長法により、上記逆導電型拡散層の表面に逆導電型の第1のシリコン層を形成する工程と、単結晶シリコンの等方性選択エピタキシャル成長法もしくは多結晶シリコンの選択成長法により、上記第1の単結晶シリコン層の上面並びに側面を直接に覆い、少なくとも上記酸化シリコン膜キャップおよびこのフィールド絶縁膜の上面に延在する逆導電型の第2のシリコン層を形成する工程と、全面に層間絶縁膜を形成し、この層間絶縁膜に上記第2のシリコン層に達するコンタクト孔を形成し、この層間絶縁膜の表面にこれらのコンタクト孔を介してこれらの第2のシリコン層に接続される配線を形成する工程とを有することを特徴とする。好ましくは、上記異方性選択エピタキシャル成長法がジ・シランもしくはモノ・シランを主原料ガスとして行なわれる。さらに好ましくは、上記第2のシリコン層が上記第1のシリコン層と同じ主原料ガスを用いた単結晶シリコンの等方性選択エピタキシャル成長法により形成され、さらにこれらの第2のシリコン層の成長温度がこれらの第1のシリコン層の成長温度より低いことを特徴とする。

【0019】本発明の半導体装置の製造方法の第2の態様は、主表面が{100}からなる一導電型のシリコン基板の表面における〈110〉方向の辺により区画された活性領域を囲む素子分離領域に溝を形成し、全面に絶縁膜を形成し、この絶縁膜をこれらの溝内にのみ残置してフィールド絶縁膜を形成する工程と、熱酸化により上記活性領域の表面にゲート酸化膜を形成し、全面に導電体膜を形成し、この導電体膜の表面を覆う酸化シリコン膜を形成し、この酸化シリコン膜および導電体膜をパターンニングしてこのゲート酸化膜を介してこれらの活性領域の表面上を〈110〉方向に横断するゲート電極とこれらのゲート電極の上面を直接に覆う酸化シリコン膜キャップとを形成し、これらのゲート電極および上記フィールド絶縁膜をマスクにしてこれらの活性領域の表面に逆導電型拡散層を形成する工程と、全面に窒化シリコン膜を形成し、異方性エッチングによりこの窒化シリコン膜に対するエッチ・バックを行なって上記酸化シリコン膜キャップおよびゲート電極の側面を直接に覆う窒化シリコン膜スペーサを形成するとともにこれらの窒化シリコン膜スペーサおよびフィールド絶縁膜に自己整合的に上記ゲート酸化膜を除去する工程と、単結晶シリコンの異方性選択エピタキシャル成長法により、上記逆導電型拡散層の表面に逆導電型の第1のシリコン層を形成する工程と、単結晶シリコンの等方性選択エピタキシャル成長法もしくは多結晶シリコンの選択成長法により、上記

第1の単結晶シリコン層の上面並びに側面を直接に覆い、少なくとも上記酸化シリコン膜キャップおよびこのフィールド絶縁膜の上面に延在する逆導電型の第2のシリコン層を形成する工程と、全面に層間絶縁膜を形成し、この層間絶縁膜に上記第2のシリコン層に達するコンタクト孔を形成し、この層間絶縁膜の表面にこれらのコンタクト孔を介してこれらの第2のシリコン層に接続される配線を形成する工程とを有することを特徴とする。好ましくは、上記異方性選択エピタキシャル成長法がジ・シランもしくはモノ・シランを主原料ガスとして行なわれる。さらに好ましくは、上記第2のシリコン層が上記第1のシリコン層と同じ主原料ガスを用いた単結晶シリコンの等方性選択エピタキシャル成長法により形成され、さらにこれらの第2のシリコン層の成長温度がこれらの第1のシリコン層の成長温度より低いことを特徴とする。

【0020】

【発明の実施の形態】次に、本発明について図面を参照して説明する。

【0021】DRAMの平面模式図および断面模式図である図1および図2を参照すると、本発明の第1の実施の形態の一実施例は、本第1の実施の形態をCOB構造のDRAMに適用したものである。このDRAMは0.25 μm デザイン・ルール（最小加工寸法：F=0.25 μm (250 nm)）で50 nm程度のマスク・アラメント・マージン α のもとに形成されたものであり、以下のとおりになっている。ここで、図1は階層化された平面模式図であり、図1(a)は活性領域とワード線を兼るゲート電極とN⁺型の単結晶シリコンからなる第2の（単結晶）シリコン層との位置関係を示す図であり、図1(b)はゲート電極および第2の（単結晶）シリコン層とビット線とストレージ・ノード電極との位置関係を示す図である。また、図2(a)、(b)および(c)は、図1のAA線、BB線およびCC線での断面模式図である。なお図1では、これらの位置関係の理解を容易にするために、ゲート電極およびビット線の幅をそれぞれ実際より細めに表示してある。

【0022】P型シリコン基板101の主表面は{100}であり、このP型シリコン基板101の比抵抗は5 $\Omega \cdot \text{cm}$ 程度である。このP型シリコン基板101が構成されるシリコン・ウェハのオリエンテーション・フラットは<110>方向の辺からなる。P型シリコン基板101の表面の活性領域102は素子分離領域により囲まれており、素子分離領域は膜厚300 nm程度のLOCOS型のフィールド酸化膜105とこのフィールド酸化膜105の底面に設けられた（チャンネル・ストップ、パンチスルー・ストップとして機能する）P⁺型拡散層104とから構成されている。これらの活性領域102はP型シリコン基板101の主表面に規則的に配置されており、これらの活性領域102の周辺は<110>方

向の辺からなる（すなわち、活性領域102は<110>方向の辺により区画されていることになる）。活性領域102の最小幅（ニチャネル幅）および最小間隔はともにF（=0.25 μm (250 nm)）程度である。膜厚150 nm程度のワード線を兼るゲート電極111は、活性領域102の表面に設けられた8.5 nm程度の膜厚のゲート酸化膜106を介して、活性領域102の表面上を横断している。少なくとも活性領域102直上においては、これらゲート電極111は活性領域102に直交している。ゲート電極111の幅（ゲート長）、間隔および配線ピッチは、それぞれF、Fおよび2F（=0.5 μm (500 nm)）程度である。ゲート電極111は膜厚50 nm程度のN⁺型多結晶シリコン膜に膜厚100 nm程度のタングステン・シリサイド膜が積層されてなる。

【0023】ゲート電極111の上面は膜厚70 nm程度の酸化シリコン膜キャップ112により直接に覆われている。活性領域102の表面には、ゲート電極111およびフィールド酸化膜105に自己整合的に、100 nm程度の接合の深さを有したN⁻型拡散層113a、113bが設けられている。ゲート電極111並びに酸化シリコン膜キャップ112の側面は、膜厚50 nm（=d（= α ））程度の窒化シリコン膜スペーサ114により直接に覆われている。活性領域102の表面に設けられたゲート酸化膜106はフィールド酸化膜105およびこれらの窒化シリコン膜スペーサ114に自己整合的に除去されてN⁻型拡散層113a、113bの表面は露出されている。2つのゲート電極111に挟まれた方向でのこれら露出面の幅は150 nm（=F-2d）程度であり、フィールド酸化膜105に挟まれた部分でのこれら露出面の幅は250 nm（=F）程度である。活性領域102直上での酸化シリコン膜キャップ112の上面の高さ（P型シリコン基板101の主表面から230 nm程度）は、フィールド酸化膜105直上での酸化シリコン膜キャップ112の上面の高さ（P型シリコン基板101の主表面から370 nm程度）より、140 nm程度低くなっている。

【0024】上記N⁻型拡散層113a、113bの露出面は、400 nm程度の高さ（膜厚）と $1 \times 10^{19} \text{cm}^{-3}$ 程度の不純物濃度とを有したN⁺型の（第1のシリコン層である）単結晶シリコン層116a、116bにより、直接に覆われている。これらのN⁺型の単結晶シリコン層116a、116bは（詳細は後述するが）異方性選択エピタキシャル成長法により形成されている。これらの単結晶シリコン層116a、116bの高さ（膜厚）は、少なくともフィールド酸化膜105の表面上に設けられた部分におけるゲート電極111を覆う酸化シリコン膜キャップ112の高さ（370 nm程度）より低くないことが好ましい。N⁻型拡散層113a、113bの露出面には、70 nm程度の（接合の）深さ

を有したN⁺型拡散層115a, 115bが設けられている。これらのN⁺型拡散層115a, 115bは、それぞれ単結晶シリコン層116a, 116bからの燐の固相拡散により形成されている。単結晶シリコン層116aは、フィールド酸化膜105のバース・ピーク近傍上に20nm程度の幅で（フィールド酸化膜105の上面を直接に覆う状態を有して）延在し、窒化シリコン膜キャップ114上端近傍上に10nm弱ないしは20nm強の幅で（窒化シリコン膜キャップ114上端部を直接に覆う状態を有して）延在している。単結晶シリコン層116bも、フィールド酸化膜105のバース・ピーク近傍上に20nm程度の幅で延在し、窒化シリコン膜キャップ114上端近傍上に20nm強の幅で延在している。これら単結晶シリコン層116a, 116bの上面は主としてP型シリコン基板101の主表面に平行な{100}面からなり、これら単結晶シリコン層116a, 116bの側面はP型シリコン基板101の主表面に垂直な{110}面からなる。本第1の実施の形態では、これら単結晶シリコン層116a, 116bの側面と上面との交差部近傍の上面を構成するファセットは、概ねフィールド酸化膜105側の側面との交叉部近傍のみに存在する。

【0025】上記単結晶シリコン層116a, 116bの上面並びに側面は、それぞれ例えば膜厚100nm程度のN⁺型の（第2のシリコン層である）単結晶シリコン層117a, 117bにより直接に覆われている。これらの単結晶シリコン層117a, 117bは、（詳細は後述するが）等方性選択エピタキシャル成長法により形成されている。単結晶シリコン層117aは、フィールド酸化膜105の上面上に100nm程度の幅（単結晶シリコン層116aを加えると120nm程度の幅）で（フィールド酸化膜105の上面を直接に覆う状態を有して）延在し、窒化シリコン膜キャップ114上端近傍を直接に覆い、酸化シリコン膜キャップ112の上面上に60nm程度ないしは70nm程度の幅で（酸化シリコン膜キャップ112の上面を直接に覆う状態を有して）延在している。単結晶シリコン層117bも、フィールド酸化膜105の上面上に100nm程度の幅で延在し、窒化シリコン膜キャップ114上端近傍を直接に覆い、酸化シリコン膜キャップ112の上面上に70nm程度の幅で延在している。隣接する2つの単結晶シリコン層117aの間隔は110nm程度であり、単結晶シリコン層117aと単結晶シリコン層117bとの間隔も110nm程度である。なお、本第1の実施の形態の本一実施例では、第2のシリコン層が上記N⁺型の単結晶シリコン層117a, 117bに限定されるものではなく、選択成長により形成されたN⁺型多結晶シリコンから構成されていてもよい。

【0026】本第1の実施の形態の本一実施例では、ソース・ドレイン領域118aは、N⁻型拡散層113

a, N⁺型拡散層115a, 単結晶シリコン層116aおよび単結晶シリコン層117aから構成されている。ソース・ドレイン領域118bは、N⁻型拡散層113b, N⁺型拡散層115b, 単結晶シリコン層116bおよび単結晶シリコン層117bから構成されている。P型シリコン基板101の主表面に形成されたNチャンネルMOSトランジスタはゲート酸化膜106, ゲート電極111およびソース・ドレイン領域118a, 118bから構成されている。隣接する単結晶シリコン層117aの間隔, 単結晶シリコン層117aと単結晶シリコン層117bとの間隔がともに110nm程度であることから、隣接するソース・ドレイン領域118aの間, ソース・ドレイン領域118aとソース・ドレイン領域118bとの間の絶縁分離は十分に確保されている。

【0027】NチャンネルMOSトランジスタを含めてP型シリコン基板101は第1の層間絶縁膜121により覆われている。この層間絶縁膜121は、例えばCVD法による酸化シリコン膜とBPSG膜との積層膜等のような酸化シリコン系絶縁膜からなり、化学機械研磨（CMP）等により平坦化された上面を有している。単結晶シリコン層117a, 117bの上面上での層間絶縁膜121の膜厚は例えば300nm程度である。この層間絶縁膜121には、層間絶縁膜121を貫通して単結晶シリコン層117bに達するF程度の口径を有したビット・コンタクト孔122が設けられている。これらのビット・コンタクト孔122は、例えばN⁺型多結晶シリコン膜からなるコンタクト・プラグ123により充填されている。層間絶縁膜121の上面上に設けられたビット線124は、コンタクト・プラグ123に直接に接続され、ソース・ドレイン領域118bに接続されている。これらのビット線124は例えば膜厚120nm程度のタングステン・シリサイド膜からなり、ビット線124の最小線幅および最小間隔はともにF程度であり、ビット・コンタクト孔122の部分でのビット線124の線幅は $350\text{nm} (= F + 2\alpha)$ 程度であり、ビット線124の配線ピッチは $600\text{nm} (= 2F + 2\alpha)$ 程度である。

【0028】本第1の実施の形態の本一実施例では、ビット・コンタクト孔122が達する部分での単結晶シリコン層117bの幅は $390\text{nm} (> 350\text{nm} (= 2F + 2\alpha))$ 程度であることから、ビット・コンタクト孔122の底部は単結晶シリコン層117bの上面のみからなり、これら単結晶シリコン層117bはビット・コンタクト孔122に対するコンタクト・パッドとしての機能を十分に果たすことになる。すなわち、ビット・コンタクト孔122の底部が酸化シリコン膜キャップ112もしくは窒化シリコン膜スペーサ114に直接に達することはなく、さらにはこれらビット・コンタクト孔122の底部にゲート電極111の上面が露出することは回避される。このため、ビット線124（並びにソース

・ドレイン領域118b)とゲート電極111とのリーク電流および短絡の抑制が容易になる。

【0029】ビット線124を含めて、層間絶縁膜121は第2の層間絶縁膜131により覆われている。この層間絶縁膜131も酸化シリコン系絶縁膜からなり、ビット線124の上面での層間絶縁膜131の膜厚は300nm程度であり、層間絶縁膜131の上面も平坦化されている。F程度の口径を有して層間絶縁膜131および121を貫通して設けられたノード・コンタクト孔132は、単結晶シリコン層116aに達し、例えばN⁺型多結晶シリコン膜からなるコンタクト・プラグ133により充填されている。層間絶縁膜131の上面上に設けられたストレージ・ノード電極134は、例えば膜厚800nm程度のN⁺型多結晶シリコン膜からなり、コンタクト・プラグ133に直接に接続され、ソース・ドレイン領域118aに接続されている。これらのストレージ・ノード電極134の間隔および最小幅はFおよびF+2 α 程度である。ストレージ・ノード電極134の上面および側面と層間絶縁膜131の上面の少なくとも一部は、ON₂O膜からなる容量絶縁膜135により直接に覆われている。容量絶縁膜135の酸化シリコン膜換算膜厚は5nm程度である。容量絶縁膜135の表面は、例えば膜厚150nm程度のN⁺型多結晶シリコン膜からなるセル・プレート電極136により直接に覆われている。セル・プレート電極136の表面は例えば酸化シリコン系絶縁膜からなる表面保護膜141により直接に覆われている。ストレージ・ノード電極134直上での表面保護膜141の膜厚は300nm程度である。

【0030】本第1の実施の形態の本一実施例では、ノード・コンタクト孔132が達する部分での単結晶シリコン層117aの幅は380nm(>350nm(=2F+2 α))程度であることから、ノード・コンタクト孔132の底部も単結晶シリコン層117aの上面のみからなり、これら単結晶シリコン層117aもノード・コンタクト孔132に対するコンタクト・パッドとしての機能を十分に果たすことになる。このため、ストレージ・ノード電極134(並びにソース・ドレイン領域118a)とゲート電極111とのリーク電流および短絡の抑制も容易になる。

【0031】図1のAA線およびCC線での製造工程の断面模式図である図3および図4と、図1および図2と、単結晶シリコン層の異方性選択エピタキシャル成長を説明するための図であり、ジ・シランの流量に対する単結晶シリコン層の成長速度のグラフである図5とを併せて参照すると、本第1の実施の形態の本一実施例によるDRAMは、以下のように形成される。

【0032】まず、{100}からなる主表面を有し、5 $\Omega\cdot\text{cm}$ 程度の比抵抗からなり、〈110〉方向の辺からなるオリエンテーション・プラットを有するシリコン・ウェハからなるP型シリコン基板101の主表面に

例えば膜厚50程度のパッド酸化膜(図示せず)が形成され、このパッド酸化膜を覆う窒化シリコン膜(図示せず)が形成される。この窒化シリコン膜の表面上には、P型シリコン基板101の主表面の活性領域102直上のみを覆う領域に、フォトリソ膜(図示せず)が形成される。これらの活性領域102はP型シリコン基板101の主表面において(オリエンテーション・プラットに平行および垂直な)〈110〉方向の辺により区画されてなり、それぞれの活性領域102はT字型の姿態を有してP型シリコン基板101の主表面に規則的に配置されている。このフォトリソ膜をマスクにしてこの窒化シリコン膜がパターニングされた後、このフォトリソ膜をマスクにして50keV、5 $\times 10^{12}\text{cm}^{-2}$ 程度のボロンのイオン注入が行なわれる。このフォトリソ膜が除去された後、公知の選択酸化が行なわれる。これにより、膜厚300nm程度L₂CO₂S型のフィールド酸化膜105と、フィールド酸化膜105の底面に直接に接続されるP⁻型拡散層104とが形成される。上記窒化シリコン膜およびパッド酸化膜が除去された後、活性領域102の表面には熱酸化により膜厚8.5nm程度のゲート酸化膜106が形成される。

【0033】次に、例えばジ・クロル・シラン、ホスフィンをそれぞれ原料ガス、ドーピング・ガスに用いた700℃程度のCVD法により、全面に膜厚50nm程度のN⁺型多結晶シリコン膜(図に明示せず)が形成される。さらに、スパッタリングにより全面に膜厚100nm程度のタングステン・シリサイド膜(図に明示せず)が形成される。さらにまた、CVD法により、全面に膜厚100nm程度の酸化シリコン膜が形成される。これらの酸化シリコン膜、タングステン・シリサイド膜およびN⁺型多結晶シリコン膜が順次異方性エッチングによりパターニングされ、タングステン・ポリサイド膜(N⁺型多結晶シリコン膜とタングステン・シリサイド膜との積層膜)からなる膜厚150nm程度のゲート電極111とこのゲート電極111の上面を選択的に覆う(膜厚100nm程度の)酸化シリコン膜キャップ112とが形成される。

【0034】例えば30keVで2 $\times 10^{13}\text{cm}^{-2}$ 程度のリンのイオン注入等により、フィールド酸化膜105およびゲート電極111に自己整合的に、活性領域102の表面にN⁻型拡散層113a、113bが形成される。N⁻型拡散層113a、113bの接合の深さは100nm程度である。隣接するN⁻型拡散層113aの間隔は0.35 μm (350nm)(=F+2 α)程度であり、N⁻型拡散層113aとN⁻型拡散層113bとの間隔は0.25 μm (250nm)(=F)程度である。膜厚50nm程度の窒化シリコン膜がCVDにより全面に形成される。フルオロ・カーボン系のエッチング・ガスを用いた異方性エッチングによるエッチ・バック

クが行なわれ窒化シリコン膜スペーサ 115 が形成される。このエッチ・バックにおいて、酸化シリコン膜キャップ 112 もエッチングに曝されることになり、酸化シリコン膜キャップ 112 の膜厚は 70 nm 程度になる。また、窒化シリコン膜スペーサ 115 およびフィールド酸化膜 105 に自己整合的に、N⁻ 型拡散層 113 a, 113 b の表面のゲート酸化膜 106 が除去されて、これらの部分の N⁻ 型拡散層 113 a, 113 b の表面が露出される〔図 1, 図 2, 図 3 (a), 図 4 (a)〕。

【0035】次に、UHV-CVD を用いて、まず N⁻ 型拡散層 113 a, 113 b の露出面に形成された自然酸化膜を除去した後、例えば 625℃ の温度、 1×10^{-2} Pa 程度の圧力、2.0 sccm 程度の流量のジ・シランと 0.2 sccm 程度の流量の (1% のホスフィンが水素により希釈されてなる) ドーピング・ガスとによる異方性選択エピタキシャル成長により、N⁻ 型拡散層 113 a, 113 b の上記露出面に自己整合的に高さ (膜厚) が 400 nm 程度の N⁺ 型の (第 1 のシリコン層である) 単結晶シリコン層 116 a, 116 b が形成され、N⁻ 型拡散層 113 a, 113 b の露出した表面には (接合の) 深さ 70 nm 程度の N⁺ 型拡散層 115 a, 115 b が形成される。この条件のもとでは、(単結晶シリコン層の) {100} 面の $\langle 100 \rangle$ 方向への成長速度は 10 nm/min 程度である。このとき、フィールド酸化膜 105 等の酸化シリコン膜表面に交叉する (単結晶シリコン層の) {110} 面の $\langle 110 \rangle$ 方向への成長速度は {100} 面の $\langle 100 \rangle$ 方向への成長速度の $1/20$ 程度であり、(図示はしないが) 窒化シリコン膜に交叉する (単結晶シリコン層の) {110} 面の $\langle 110 \rangle$ 方向への成長速度は {100} 面の $\langle 100 \rangle$ 方向への成長速度の $1/10$ 程度である (図 5 (a) 参照)。本第 1 の実施の形態の本一実施例において、フィールド酸化膜 105 および窒化シリコン膜スペーサ 114 に自己整合的に形成された N⁻ 型拡散層 113 a, 113 b の上記露出面が $\langle 110 \rangle$ 方向の辺に囲まれてなることから、これら単結晶シリコン層 116 a, 116 b は主として P 型シリコン基板 101 の主表面に垂直な $\langle 100 \rangle$ 方向に選択的に成長する。本第 1 の実施の形態の本一実施例では、酸化シリコン膜スペーサの代りに窒化シリコン膜スペーサ 114 を採用しているが、これにより単結晶シリコン層 116 a, 116 b の側面の窒化シリコン膜スペーサ 114 上端部近傍に直接に交叉する側では、これら側面と交叉するこれら単結晶シリコン層 116 a, 116 b の上面でのファセットの発生は低減される〔図 1, 図 2, 図 3 (b), 図 4 (b)〕。

【0036】第 1 の単結晶シリコン層の上記異方性選択エピタキシャル成長法は、500℃～800℃の範囲の成長温度、 10^{-3} Pa～ 5×10^{-2} Pa の範囲の圧力で行なうのが好ましい。成長温度が 500℃より低いと単

結晶シリコンが得られなくなり、成長温度が 800℃より高いと燐等の導電性不純物のドーピングが困難になる。また、圧力がこの範囲からずれると「異方性」成長が困難になる。この「異方性」の選択性は成長温度の上昇、ジ・シランの流量の減少に伴って高くなる。原料ガスとしてジ・シランの代りにモノ・シラン (SiH₄) を用いても単結晶シリコン層の異方性選択エピタキシャル成長は可能であるが、このときの成長温度はジ・シランを用いる場合より 80℃～100℃程度高温側にシフトする。なお、原料ガスとしてジ・クロル・シランを用いても単結晶シリコン層の異方性選択エピタキシャル成長は可能であるが、この場合にはファセットが多発するという不具合がある。

【0037】次に、上記単結晶シリコン層 116 a, 116 b を形成した後、上記 UHV-CVD 装置を用いて、例えば 585℃ の温度、 2×10^{-2} Pa 程度の圧力、4.0 sccm 程度の流量のジ・シランと 0.4 sccm 程度の流量の (1% のホスフィンを含んだ水素からなる) ドーピング・ガスとによる等方性選択エピタキシャル成長 (図 5 (b) 参照) により、単結晶シリコン層 116 a, 116 b の表面に、膜厚 100 nm 程度の N⁺ 型の (第 2 のシリコン層である) 単結晶シリコン層 117 a, 117 b が選択的に形成される。この成長条件では、単結晶シリコン層 117 a 等の成長速度は単結晶シリコン層 116 a 等の成長速度に等しくなっている〔図 1, 図 2, 図 3 (c), 図 4 (c)〕。

【0038】本第 1 の実施の形態の本一実施例では、コンタクト・パッドとして機能し、N⁻ 型拡散層 113 a, 113 b の露出面に自己整合的に直接に接続される (単結晶) シリコン層を異方性選択エピタキシャル成長のみにより形成するのではなく、異方性選択エピタキシャル成長の後に等方性選択エピタキシャル成長を行なうことによりこれらのシリコン層を形成していることから、後工程に支障を来さない程度の高さのシリコン層を形成することが容易になる。なお、本第 1 の実施の形態の本一実施例においては単結晶シリコン層 117 a 等の成長温度を単結晶シリコン層 116 a 等の成長温度より低くしてあるが、本第 1 の実施の形態はこれに限定されるものではない。図 5 (a) から明かなように、625℃の成長温度でジ・シラン、上記ドーピング・ガスの流量を例えば 2.0 sccm, 2 sccm とするならば、等方性選択エピタキシャル成長が可能になる。このとき、成長速度は 40 nm/min と高くなることから、この条件での成長を断続的に行なう等の工夫により第 2 の単結晶シリコン層の膜厚制御を確保することが好ましくなる。なお、本第 1 の実施の形態では、本一実施例のように単結晶シリコン層 116 a, 116 b の表面に形成する第 2 のシリコン層は単結晶シリコン層に限定されるものではない。単結晶シリコン層 117 a, 117 b の代りに、N⁺ 型の多結晶シリコン膜を選択成長さ

せてもよい。

【0039】その後、例えば酸化シリコン膜の形成、BPSG膜の形成、BPSG膜のリフロー、CMP等が行なわれ、平坦な上面を有する酸化シリコン系絶縁膜からなる第1の層間絶縁膜121が形成される。層間絶縁膜121を貫通して単結晶シリコン層117bの上面に達するビット・コンタクト孔122が形成される。これらのビット・コンタクト孔122の口径は $0.25\mu\text{m}$ （=F）程度であり、フォトリソグラフィ工程においてアライメントずれが大きくてもビット・コンタクト孔122の底部は単結晶シリコン層117bの上面からはみ出さない〔図1、図2、図3（d）、図4（d）〕。

【0040】次に、例えばN⁺型多結晶シリコン膜等の導電体膜からなるコンタクト・プラグ123により、ビット・コンタクト孔122が充填される。例えばスパッタリングにより膜厚120nm程度のタングステン・シリサイド膜等からなる導電体膜が形成され、この導電体膜がパターニングされてビット線124が形成される。続いて、平坦な上面を有する酸化シリコン系絶縁膜からなる第2の層間絶縁膜131が形成される。層間絶縁膜131、121を貫通して単結晶シリコン層117aの上面に達するノード・コンタクト孔132が形成される。これらのノード・コンタクト孔132の口径も $0.25\mu\text{m}$ （=F）程度であり、フォトリソグラフィ工程においてアライメントずれが大きくてもノード・コンタクト孔132の底部は単結晶シリコン層117aの上面からはみ出さない〔図1、図2、図3（e）、図4（e）〕。

【0041】次に、例えばN⁺型多結晶シリコン膜等の導電体膜からなるコンタクト・プラグ133により、ノード・コンタクト孔132が充填される。全面に膜厚800nm程度のN⁺型多結晶シリコンが形成され、これがパターニングされてストレージ・ノード電極134が形成される。なお、ストレージ・ノード電極134とコンタクト・プラグ133とは同一のN⁺型多結晶シリコン膜により構成し、一回のパターニングにより形成してもよい。例えばONO膜からなる容量絶縁膜135が形成され、例えば膜厚150nmのN⁺型多結晶シリコン膜からなるセル・プレート電極136が形成される。さらに表面保護膜141が形成され、本第1の実施の形態の本一実施例によるDRAMが完成する〔図1、図2〕。

【0042】DRAMの平面模式図および断面模式図である図6および図7を参照すると、本発明の第2の実施の形態の一実施例は、本第2の実施の形態を $0.25\mu\text{m}$ デザイン・ルールのもとに形成された（ビット線がキャパシタより高い位置にある通常のスタック構造の）DRAMに適用したものであり、上記第1の実施の形態の上記一実施例との相違点はビット線およびキャパシタの上下関係と素子分離領域の構造とにあり、このDRAM

は以下に述べるようになっている。ここで、図6も階層化された平面模式図であり、図6（a）は活性領域とワード線を兼るゲート電極とN⁺型の単結晶シリコンからなる第2のシリコン層との位置関係を示す図であり、図6（b）はゲート電極および第2のシリコン層とストレージ・ノード電極とビット線との位置関係を示す図である。また、図7（a）、（b）および（c）は、図6のAA線、BB線およびCC線での断面模式図である。なお、図6でもこれらの位置関係の理解を容易にするために、ゲート電極およびビット線の幅をそれぞれ実際より細めに表示してある。

【0043】P型シリコン基板201の主表面は{100}であり、このP型シリコン基板201の比抵抗は $5\Omega\cdot\text{cm}$ 程度である。このP型シリコン基板201が構成されるシリコン・ウェハのオリエンテーション・フラットは〈110〉方向の辺からなる。P型シリコン基板201の表面の活性領域202は素子分離領域により囲われている。素子分離領域は、深さが300nm程度の溝203と、この溝203の側面および底面に形成された（チャネル・ストップ、パンチスルー・ストップとして機能する）P-型拡散層204と、この溝203を充填し、平坦な表面を有する酸化シリコン膜からなるフィールド絶縁膜205とから構成されている。これらの活性領域202はP型シリコン基板201の主表面に規則的に配置されており、これらの活性領域202の周辺は〈110〉方向の辺からなる（すなわち、活性領域202は〈110〉方向の辺により区画されていることになる）。活性領域202の最小幅（=チャネル幅）および最小間隔はそれぞれF（=250nm）程度およびF+2 α （=350nm）程度である。膜厚150nm程度のワード線を兼るゲート電極211は、活性領域202の表面に設けられた8.5nm程度の膜厚のゲート酸化膜206を介して、活性領域202の表面上を横断している。少なくとも活性領域202直上においては、これらゲート電極211は活性領域202に直交している。ゲート電極211の幅（ゲート長）、間隔および配線ピッチは、それぞれF、F+2 α および2F+2 α （600nm）程度である。ゲート電極211は膜厚50nm程度のN⁺型多結晶シリコン膜に膜厚100nm程度のタングステン・シリサイド膜が積層されてなる。

【0044】ゲート電極211の上面は膜厚70nm程度の酸化シリコン膜キャップ212により直接に覆われている。活性領域202の表面には、ゲート電極211およびフィールド酸化膜205に自己整合的に、100nm程度の接合の深さを有したN-型拡散層213a、213bが設けられている。ゲート電極211並びに酸化シリコン膜キャップ212の側面は、膜厚50nm（=d（= α ））程度の窒化シリコン膜スペーサ214により直接に覆われている。活性領域202の表面に設けられたゲート酸化膜206はフィールド酸化膜205

およびこれらの窒化シリコン膜スペーサ214に自己整合的に除去されてN⁻型拡散層213a、213bの表面は露出されている。2つのゲート電極211に挟まれた方向でのこれら露出面の幅はF程度であり、フィールド酸化膜205に挟まれた部分でのこれら露出面の幅もF程度である。P型シリコン基板201の主表面から酸化シリコン膜キャップ212の上面までの高さは230nm程度である。

【0045】上記N⁻型拡散層213a、213bの露出面は、300nm程度の高さ（膜厚）と $1 \times 10^{19} \text{ cm}^{-3}$ 程度の不純物濃度とを有したN⁺型の（第1のシリコン層である）単結晶シリコン層216a、216bにより、直接に覆われている。これらの単結晶シリコン層216a、216bの高さ（膜厚）も、少なくともゲート電極211を覆う酸化シリコン膜キャップ212の高さ（230nm程度）より薄くないことが好ましい。N⁻型拡散層213a、213bの露出面には、70nm程度の（接合の）深さを有したN⁺型拡散層215a、215bが設けられている。これらのN⁺型拡散層215a、215bは、それぞれ単結晶シリコン層216a、216bからの隣の固相拡散により形成されている。単結晶シリコン層216a、216bは、フィールド絶縁膜205の上面上に15nm程度の幅で（フィールド絶縁膜205の上面を直接に覆う状態を有して）延在し、窒化シリコン膜キャップ214上端近傍上に10nm程度の幅で（窒化シリコン膜キャップ214上端部を直接に覆う状態を有して）延在している。これら単結晶シリコン層216a、216bの上面は主としてP型シリコン基板201の主表面に平行な{100}面からなり、これら単結晶シリコン層216a、216bの側面はP型シリコン基板201の主表面に垂直な{110}面からなる。本第2の実施の形態でも、これら単結晶シリコン層216a、216bの側面と上面との交差部近傍の上面を構成するファセットは、概ねフィールド絶縁膜205側の側面との交叉部近傍のみに存在する。

【0046】上記単結晶シリコン層216a、216bの上面並びに側面は、それぞれ例えば膜厚100nm程度のN⁺型の（第2のシリコン層である）単結晶シリコン層217a、217bにより直接に覆われている。単結晶シリコン層217a、217bは、フィールド酸化膜205の上面上に50nm程度の幅（単結晶シリコン層216aを加えると65nm程度の幅）で（フィールド酸化膜205の上面を直接に覆う状態を有して）延在し、窒化シリコン膜キャップ214上端近傍を直接に覆い、酸化シリコン膜キャップ212の上面上に10nm程度の幅で（酸化シリコン膜キャップ212の上面を直接に覆う状態を有して）延在している。隣接する2つの単結晶シリコン層217aの間隔は280nm程度であり、単結晶シリコン層217aと単結晶シリコン層217bとの間隔は230nm弱である。なお、本第2の実

施の形態の本一実施例でも、第2のシリコン層が上記N⁺型の単結晶シリコン層217a、217bに限定されるものではなく、選択成長により形成されたN⁺型多結晶シリコンから構成されていてもよい。

【0047】本第2の実施の形態の本一実施例では、ソース・ドレイン領域218aは、N⁻型拡散層213a、N⁺型拡散層215a、単結晶シリコン層216aおよび単結晶シリコン層217aから構成されている。ソース・ドレイン領域218bは、N⁻型拡散層213b、N⁺型拡散層215b、単結晶シリコン層216bおよび単結晶シリコン層217bから構成されている。P型シリコン基板201の主表面に形成されたNチャネルMOSトランジスタはゲート酸化膜206、ゲート電極211およびソース・ドレイン領域218a、218bから構成されている。隣接する単結晶シリコン層217aの間隔、単結晶シリコン層217aと単結晶シリコン層217bとの間隔がそれぞれ280nm程度、230nm弱であることから、隣接するソース・ドレイン領域218aの間、ソース・ドレイン領域218aとソース・ドレイン領域218bとの間の絶縁分離は十分に確保されている。

【0048】NチャネルMOSトランジスタを含めてP型シリコン基板201は第1の層間絶縁膜221により覆われている。この層間絶縁膜221は、例えばCVD法による酸化シリコン膜とBPSG膜との積層膜等のような酸化シリコン系絶縁膜からなり、CMP等により平坦化された上面を有している。単結晶シリコン層217a、217bの上面上での層間絶縁膜221の膜厚は例えば300nm程度である。この層間絶縁膜221には、層間絶縁膜221を貫通して単結晶シリコン層217aに達するF程度の口径を有したノード・コンタクト孔222が設けられている。これらのノード・コンタクト孔222は、例えばN⁺型多結晶シリコン膜からなるコンタクト・プラグ223により充填されている。層間絶縁膜221の上面上に設けられたストレージ・ノード電極224は、例えば膜厚800nm程度のN⁺型多結晶シリコン膜からなり、コンタクト・プラグ223に直接に接続され、ソース・ドレイン領域218aに接続されている。これらのストレージ・ノード電極134の最小間隔および最小幅はFおよびF+2 α 程度である。ストレージ・ノード電極224の上面および側面と層間絶縁膜221の上面の少なくとも一部は、ONO膜からなる容量絶縁膜225により直接に覆われている。容量絶縁膜225の酸化シリコン膜換算膜厚は5nm程度である。容量絶縁膜225の表面は、例えば膜厚150nm程度のN⁺型多結晶シリコン膜からなるセル・プレート電極226により直接に覆われている。

【0049】本第2の実施の形態の本一実施例では、ノード・コンタクト孔222が達する部分での単結晶シリコン層217aの幅は少なくとも370nm (> 350

nm ($=2F+2\alpha$) 程度であることから、ノード・コンタクト孔222の底部も単結晶シリコン層217aの上面のみからなり、これら単結晶シリコン層217aもノード・コンタクト孔222に対するコンタクト・パッドとしての機能を十分に果たすことになる。このため上記第1の実施の形態の上記一実施例と同様に、ストレージ・ノード電極224（並びにソース・ドレイン領域218a）とゲート電極211とのリーク電流および短絡の抑制も容易になる。

【0050】単結晶シリコン層217bの直上のセル・プレート電極226には口径400nm程度の開口部227が設けられている。セル・プレート電極226を含めて、層間絶縁膜221は第2の層間絶縁膜231により覆われている。この層間絶縁膜231も酸化シリコン系絶縁膜からなり、ストレージ・ノード電極224を覆う部分のセル・プレート電極226の上面での層間絶縁膜231の膜厚は300nm程度であり、層間絶縁膜231の上面も平坦化されている。F程度の口径を有するビット・コンタクト孔232は、開口部227の部分において層間絶縁膜231、容量絶縁膜225および層間絶縁膜221を貫通して単結晶シリコン層216aに達し、例えばN⁺型多結晶シリコン膜からなるコンタクト・プラグ233により充填されている。層間絶縁膜231の上面上に設けられたビット線234は、コンタクト・プラグ233に直接に接続され、ソース・ドレイン領域218bに接続されている。これらのビット線234は例えば膜厚120nm程度のタングステン・シリサイド膜からなり、ビット線234の最小線幅および最小間隔はともにF程度であり、ビット・コンタクト孔232の部分でのビット線234の線幅は350nm ($=F+2\alpha$) 程度であり、ビット線234の配線ピッチは600nm ($=2F+2\alpha$) 程度である。ビット線234の表面は例えば酸化シリコン系絶縁膜からなる表面保護膜241により直接に覆われている。ビット線234直上での表面保護膜241の膜厚は300nm程度である。

【0051】本第2の実施の形態の本一実施例では、ビット・コンタクト孔232が達する部分での単結晶シリコン層217bの幅は少なくとも370nm (>350 nm ($=2F+2\alpha$)) 程度であることから、ビット・コンタクト孔232の底部は単結晶シリコン層217bの上面のみからなり、これら単結晶シリコン層217bはビット・コンタクト孔232に対するコンタクト・パッドとしての機能を十分に果たすことになる。すなわち、ビット・コンタクト孔232の底部が酸化シリコン膜キャップ212もしくは窒化シリコン膜スペーサ214に直接に達することはなく、さらにはこれらビット・コンタクト孔232の底部にゲート電極211の上面が露出することは回避される。このため、ビット線234（並びにソース・ドレイン領域218b）とゲート電極211とのリーク電流および短絡の抑制が容易になる。

【0052】図6のAA線での製造工程の断面模式図である図8および図9と、図6のBB線での製造工程の断面模式図である図10および図11と、図6および図7とを併せて参照すると、本第2の実施の形態の本一実施例によるDRAMは、以下のように形成される。

【0053】まず、{100}からなる主表面を有し、 $5\Omega\cdot\text{cm}$ 程度の比抵抗からなり、〈110〉方向の辺からなるオリエンテーション・プラットを有するシリコン・ウェハからなるP型シリコン基板201の主表面には、P型シリコン基板201の主表面の活性領域202直上のみを覆う領域に、フォトリソ膜（図示せず）が形成される。これらの活性領域202はP型シリコン基板201の主表面において（オリエンテーション・フラットに平行および垂直な）〈110〉方向の辺により区画されてなり、それぞれの活性領域202は長方形の姿態を有してP型シリコン基板201の主表面に規則的に配置されている。このフォトリソ膜をマスクにしてP型シリコン基板201がエッチングされて、溝203が形成される。その後、このフォトリソ膜をマスクにして20keV、 $5\times 10^{12}\text{cm}^{-2}$ 程度のボロンの回転イオン注入が行なわれ、溝203の側面および底面にP-型拡散層204とが形成される。このフォトリソ膜が除去された後、CVD法により全面に酸化シリコン膜が形成され、CMPによりこの酸化シリコン膜からなり、溝203を充填し、平坦な上面を有するフィールド絶縁膜205が形成される。活性領域202の表面には熱酸化により膜厚8.5nm程度のゲート酸化膜206が形成される。

【0054】次に、全面に膜厚50nm程度のN⁺型多結晶シリコン膜（図に明示せず）が形成され、さらに全面に膜厚100nm程度のタングステン・シリサイド膜（図に明示せず）が形成される。さらにまたCVD法により、全面に膜厚100nm程度の酸化シリコン膜が形成される。これらの酸化シリコン膜、タングステン・シリサイド膜およびN⁺型多結晶シリコン膜が順次異方性エッチングによりパターニングされ、タングステン・ポリサイド膜からなる膜厚150nm程度のゲート電極211とこのゲート電極211の上面を選択的に覆う（膜厚100nm程度の）酸化シリコン膜キャップ212とが形成される。フィールド絶縁膜205およびゲート電極211に自己整合的に、活性領域202の表面にN-型拡散層213a、213bが形成される。N-型拡散層213a、213bの接合の深さは100nm程度である。隣接するN-型拡散層213aの間隔は $F+2\alpha$ 程度であり、N-型拡散層213aとN-型拡散層213bとの間隔はF程度である〔図6、図7、図8（a）、図10（a）〕。

【0055】膜厚50nm程度の窒化シリコン膜がCVDにより全面に形成され、異方性エッチングによるエッチ・バックが行なわれ、窒化シリコン膜スペーサ215

が形成される。このエッチ・バックにおいて、酸化シリコン膜キャップ212もエッチングに曝されることになり、酸化シリコン膜キャップ212の膜厚は70nm程度になる。また、窒化シリコン膜スペーサ215およびフィールド酸化膜205に自己整合的に、N⁻型拡散層213a、213bの表面のゲート酸化膜206が除去されて（同時にフィールド絶縁膜205を膜厚のこれらの部分のN⁻型拡散層213a、213bの表面が露出される〔図6、図7、図8（b）、図10（b）〕。

【0056】次に、上記第1の実施の形態の上記一実施例と同様の方法により、UHV-CVDを用いてまずN⁻型拡散層213a、213bの露出面に形成された自然酸化膜が除去された後、例えば625℃の温度、 1×10^{-2} Pa程度の圧力、2.0sccm程度の流量のジ・シランと0.2sccm程度の流量の（1%のホスフィンが水素により希釈されてなる）ドーピング・ガスとによる異方性選択エピタキシャル成長によってN⁻型拡散層213a、213bの上記露出面に自己整合的に高さ（膜厚）が300nm程度のN⁺型の（第1のシリコン層である）単結晶シリコン層216a、216bが形成され、N⁻型拡散層213a、213bの露出した表面には（接合の）深さ70nm程度のN⁺型拡散層215a、215bが形成される。本第2の実施の形態の本一実施例のN⁻型拡散層213a、213bの高さが上記第1の実施の形態の上記一実施例のN⁻型拡散層113a、113bの高さ（400nm）より低くすることができるのは、素子分離領域の構造の相違による。すなわち本第2の実施の形態の本一実施例では、活性領域202上に設けられたゲート電極211上面を覆う酸化シリコン膜キャップ212の上面の高さとフィールド酸化膜205上に設けられたゲート電極211上面を覆う酸化シリコン膜キャップ212の上面の高さとが概ね等しいためである〔図6、図7、図8（c）、図10（c）〕。

【0057】本第2の実施の形態の本一実施例においても上記第1の実施の形態の上記一実施例と同様に、第1の単結晶シリコン層の上記異方性選択エピタキシャル成長法は、500℃～800℃の範囲の成長温度、 1×10^{-3} Pa～ 5×10^{-2} Paの範囲の圧力で行なうのが好ましい。また、原料ガスとしてジ・シランの代わりにモノ・シランを用いても単結晶シリコン層の異方性選択エピタキシャル成長は可能であるが、このときの成長温度はジ・シランを用いる場合より80℃～100℃程度高温側にシフトする。

【0058】次に、上記単結晶シリコン層216a、216bを形成した後、上記UHV-CVD装置を用いて、例えば585℃の温度、 2×10^{-2} Pa程度の圧力、4.0sccm程度の流量のジ・シランと0.4s

c cm程度の流量の（1%のホスフィンを含んだ水素からなる）ドーピング・ガスとによる等方性選択エピタキシャル成長（図5（b）参照）により、単結晶シリコン層216a、216bの表面に、膜厚50nm程度のN⁺型の（第2のシリコン層である）単結晶シリコン層217a、217bが選択的に形成される〔図6、図7、図8（d）、図10（d）〕。

【0059】本第2の実施の形態の本一実施例でも上記第1の実施の形態の上記一実施例と同様に、コンタクト・パッドとして機能し、N⁻型拡散層213a、213bの露出面に自己整合的に直接に接続される（単結晶）シリコン層を異方性選択エピタキシャル成長のみにより形成するのではなく、異方性選択エピタキシャル成長の後に等方性選択エピタキシャル成長を行なうことによりこれらのシリコン層を形成していることから、後工程に支障を来さない程度の高さのシリコン層を形成することが容易になる。なお、本第2の実施の形態の本一実施例においても単結晶シリコン層217a等の成長温度を単結晶シリコン層216a等の成長温度より低くしてあるが、本第1の実施の形態はこれに限定されるものではない。また、本第2の実施の形態でも、本一実施例のように単結晶シリコン層216a、216bの表面に形成する第2のシリコン層は単結晶シリコン層に限定されるものではなく、単結晶シリコン層217a、217bの代わりに、N⁺型の多結晶シリコン膜を選択成長させてもよい。

【0060】その後、例えば酸化シリコン膜の形成、BPSG膜の形成、BPSG膜のリフロー、CMP等が行なわれ、平坦な上面を有する酸化シリコン系絶縁膜からなる第1の層間絶縁膜221が形成される。層間絶縁膜221を貫通して単結晶シリコン層217aの上面に達するノード・コンタクト孔222が形成される。これらのノード・コンタクト孔222の口径は0.25 μ m（＝F）程度であり、フォト・リソグラフィ工程においてアライメントずれが大きくてもノード・コンタクト孔222の底部は単結晶シリコン層217aの上面からはみ出さない〔図6、図7、図9（a）、図11（a）〕。

【0061】次に、例えばN⁺型多結晶シリコン膜等の導電体膜からなるコンタクト・プラグ223により、ノード・コンタクト孔222が充填される。全面に膜厚800nm程度のN⁺型多結晶シリコンが形成され、これがパターンニングされてストレージ・ノード電極224が形成される。なお、ストレージ・ノード電極224とコンタクト・プラグ223とは同一のN⁺型多結晶シリコン膜により構成し、一回のパターンニングにより形成してもよい。例えばONO膜からなる容量絶縁膜135が形成され、例えば膜厚150nmのN⁺型多結晶シリコン膜からなるセル・プレート電極226が形成される。異方性エッチングにより、単結晶シリコン層217bの直

上のセル・プレート電極226には口径400nm程度の開口部227が形成される〔図6、図7、図9

(b)、図11(b)〕。

【0062】続いて、平坦な上面を有する酸化シリコン系絶縁膜からなる第2の層間絶縁膜231が形成される。開口部227が形成された部分において層間絶縁膜231、容量絶縁膜225および層間絶縁膜221を貫通し、単結晶シリコン層217bの上面に達するビット・コンタクト孔232が形成される。これらのビット・コンタクト孔232の口径もF程度であり、フォトリソグラフィ工程においてアライメントずれが大きくてもビット・コンタクト孔232の底部は単結晶シリコン層217bの上面からはみ出さない〔図6、図7、図9(c)、図11(c)〕。

【0063】その後、例えばN⁺型多結晶シリコン膜等の導電体膜からなるコンタクト・プラグ223により、ビット・コンタクト孔232が充填される。例えばスパッタリングにより膜厚120nm程度のタングステン・シリサイド膜等からなる導電体膜が形成され、この導電体膜がパターニングされてビット線234が形成される。さらに表面保護膜241が形成され、本第2の実施の形態の本一実施例によるDRAMが完成する〔図6、図7〕。

【0064】なお、COB構造のDRAMに上記第2の実施の形態を適用することは容易である。また、(効果の減少は別として)上記第2の実施の形態を適用した通常のスタック構造のDRAMに対して、(LOCOS構造を含んでなる素子分離構造を採用する)上記第1の実施の形態を適用することも可能である。また、上記第1および第2の実施の形態の一実施例はそれぞれNチャネルMOSトランジスタに関するものであるが、第1および第2の実施の形態をPチャネルMOSトランジスタに適用することも可能である。

【0065】

【発明の効果】以上説明したように本発明によれば、逆導電型拡散層とこれら逆導電型拡散層の表面上に自己整合的に設けられたコンタクト・パッドとして機能する逆導電型の単結晶シリコン層とを含んでなるソース・ドレイン領域を有し、主表面が{100}からなる一導電型シリコン基板に設けられた逆導電型チャンネルのMOSトランジスタにおいて、ゲート電極の上面を選択的に直接に覆う酸化シリコン膜キャップが設けられ、ゲート電極並びに酸化シリコン膜スペーサの側面を直接に覆う窒化シリコン膜スペーサを設けられている。さらに、酸化シリコン膜スペーサに自己整合的な逆導電型拡散層の表面に直接に接続される逆導電型の単結晶シリコンからなる第1のシリコン層と、第1のシリコン層の表面を直接に覆い、少なくとも酸化シリコン膜キャップの上面にまで延在する逆導電型の第2のシリコン層とが設けられ、これら第1および第2のシリコン層と逆導電型拡散層とか

らソース・ドレイン領域が構成され、これら第1並びに第2のシリコン層がコンタクト・パッドとして機能している。第1のシリコン層は異方性選択エピタキシャル成長法により形成され、第2のシリコン層は等方性選択エピタキシャル成長法による単結晶シリコンもしくは選択成長法による多結晶シリコンからなる。

【0066】その結果、本発明の採用によりコンタクト孔を介してこれらのソース・ドレイン領域に接続される配線とゲート電極との間のリーク電流および短絡が抑制し易く、後工程に支障を来たさない現実的な高さの単結晶シリコン層を有してなることが可能になる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の一実施例の平面模式図である。

【図2】上記第1の実施の形態の上記一実施例の断面模式図であり、図2(a)、(b)および(c)は図1のAA線、BB線およびCC線での断面模式図である。

【図3】上記第1の実施の形態の上記一実施例の製造工程の断面模式図であり、図1のAA線での製造工程の断面模式図である。

【図4】上記第1の実施の形態の上記一実施例の製造工程の断面模式図であり、図1のCC線での製造工程の断面模式図である。

【図5】本発明の上記第1の実施の形態等に適用する異方性選択エピタキシャル成長法を説明するための図であり、ジ・シランの流量に対する{100}面の<100>方向への成長速度の依存性、{110}面の<110>方向への成長速度の依存性を示すグラフである。

【図6】本発明の第2の実施の形態の一実施例の平面模式図である。

【図7】上記第2の実施の形態の上記一実施例の断面模式図であり、図7(a)、(b)および(c)は図6のAA線、BB線およびCC線での断面模式図である。

【図8】上記第2の実施の形態の上記一実施例の製造工程の断面模式図であり、図6のAA線での製造工程の断面模式図である。

【図9】上記第2の実施の形態の上記一実施例の製造工程の断面模式図であり、図6のAA線での製造工程の断面模式図である。

【図10】上記第2の実施の形態の上記一実施例の製造工程の断面模式図であり、図6のBB線での製造工程の断面模式図である。

【図11】上記第2の実施の形態の上記一実施例の製造工程の断面模式図であり、図6のBB線での製造工程の断面模式図である。

【図12】従来の技術を説明するための平面模式図である。

【図13】上記従来の技術を説明するための断面模式図であり、図13(a)、(b)および(c)は図11のAA線、BB線およびCC線での断面模式図である。

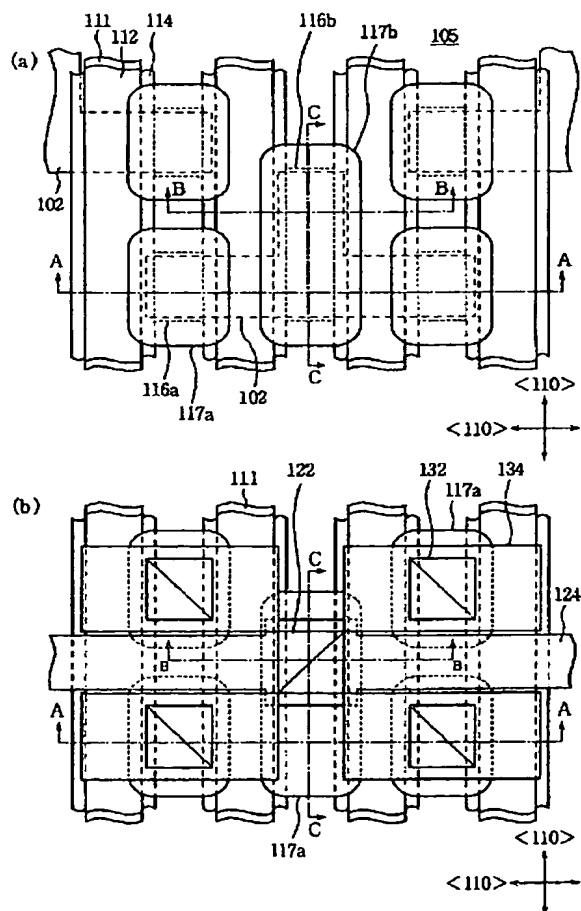
【図14】上記従来の技術の問題点を説明するための模式図である。

【符号の説明】

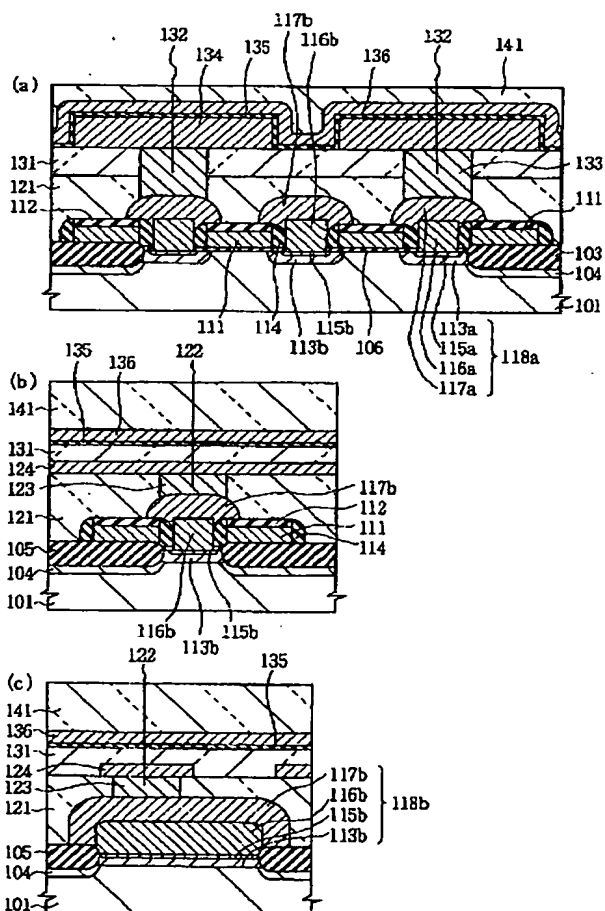
101, 201, 301 P型シリコン基板
 102, 202, 302 活性領域
 104, 204, 304 P-型拡散層
 105, 305 フィールド酸化膜
 106, 206, 306 ゲート酸化膜
 111, 211, 311 ゲート電極
 112, 212, 312 酸化シリコン膜キャップ
 113a, 113b, 213a, 213b, 313a, 313b N-型拡散層
 114, 214 窒化シリコン膜スペーサ
 115a, 115b, 215a, 215b, 315a, 315b N+型拡散層
 116a, 116b, 117a, 117b, 216a, 216b, 217a, 217b, 316a, 316b 単結晶シリコン層

118a, 118b, 218a, 218b, 318a, 318b ソース・ドレイン領域
 121, 131, 221, 231, 321, 331 層間絶縁膜
 122, 232, 322 ビット・コンタクト孔
 123, 133, 223, 233, 323, 333 コンタクト・プラグ
 124, 234, 324 ビット線
 132, 222, 332 ノード・コンタクト孔
 134, 224, 334 ストレージ・ノード電極
 135, 225, 335 容量絶縁膜
 136, 226, 336 セル・プレート電極
 141, 241, 341 表面保護膜
 203 溝
 205 フィールド絶縁膜
 227 開口部
 314 酸化シリコン膜スペーサ

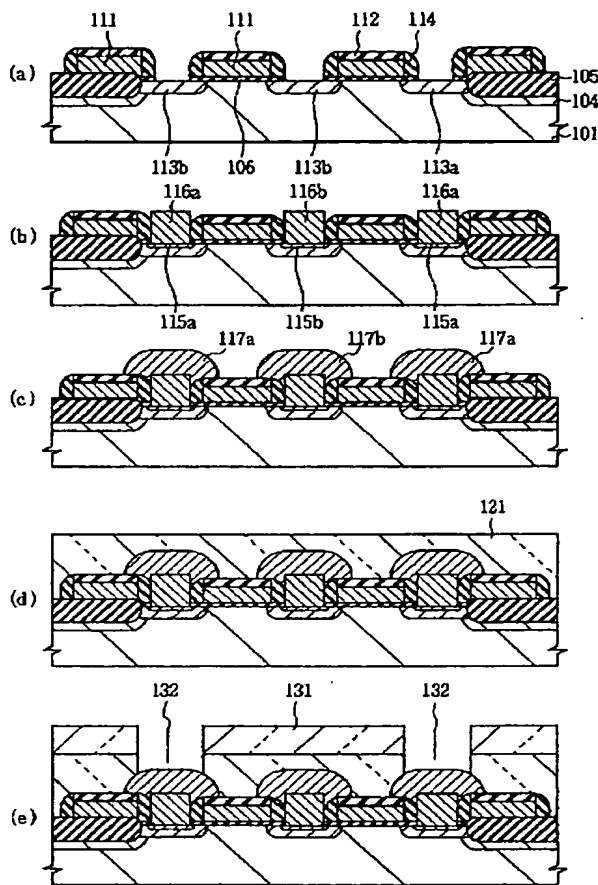
【図1】



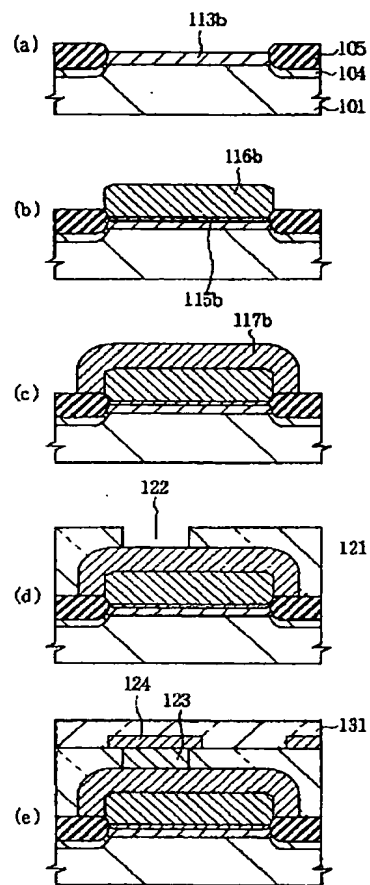
【図2】



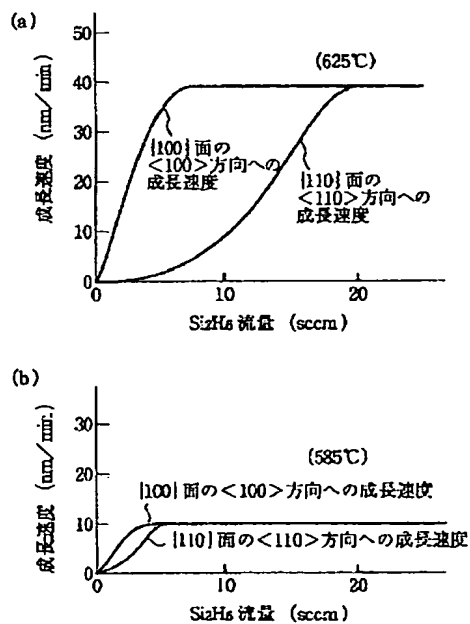
【図3】



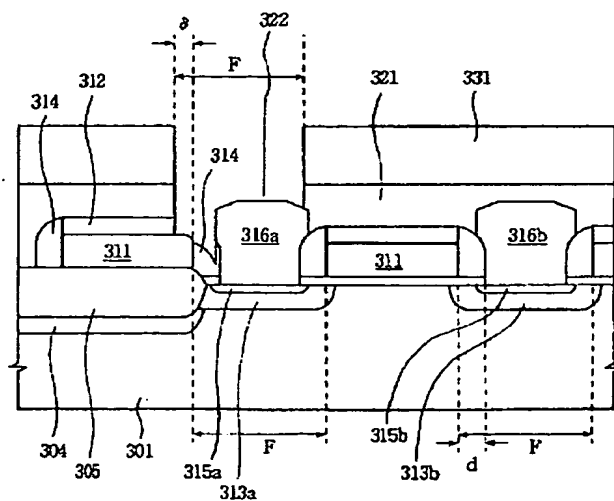
【図4】



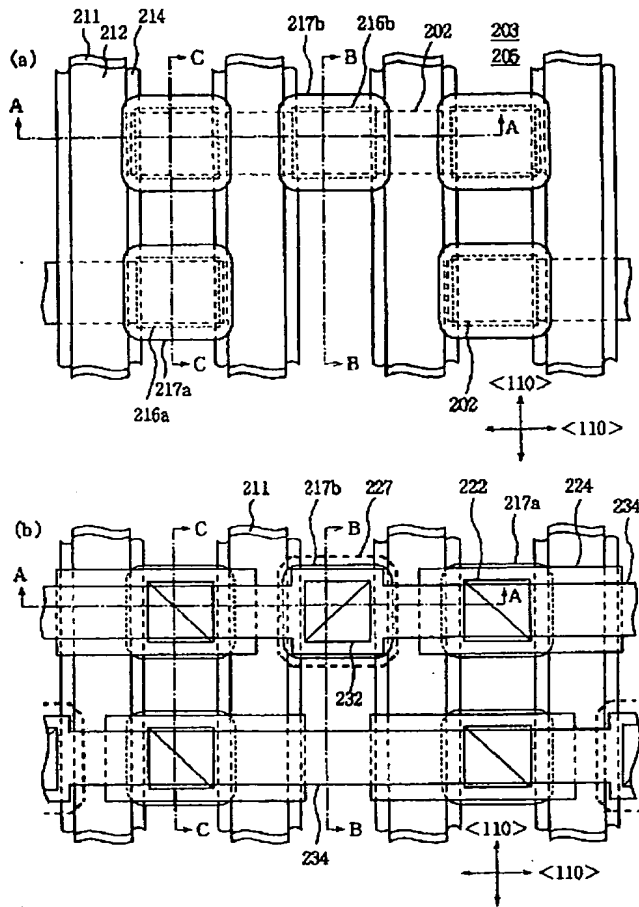
【図5】



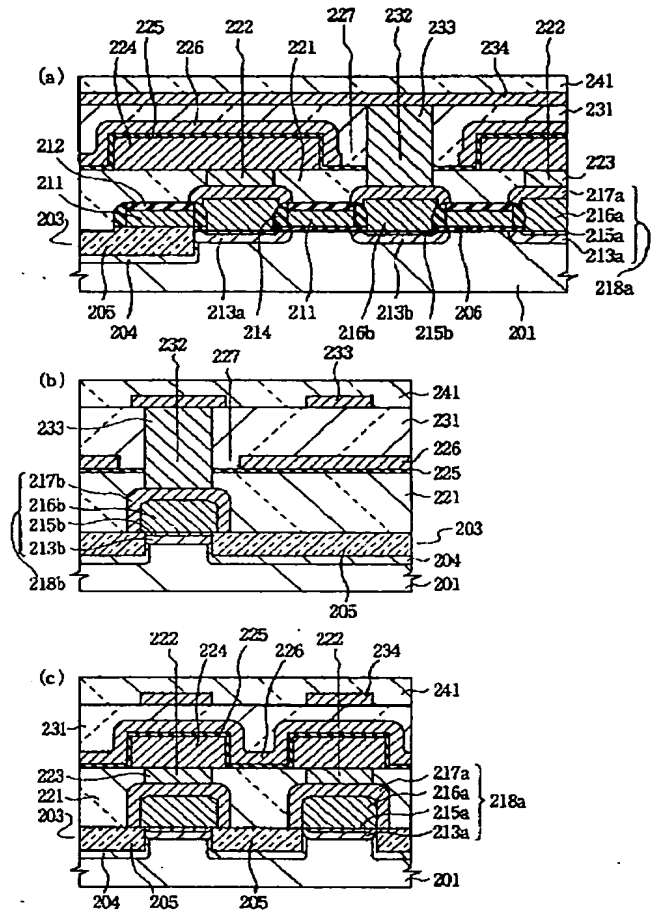
【図14】



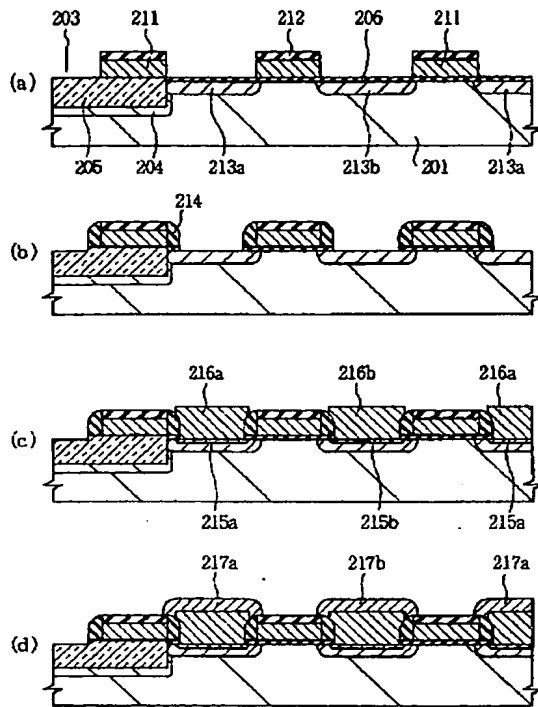
【図6】



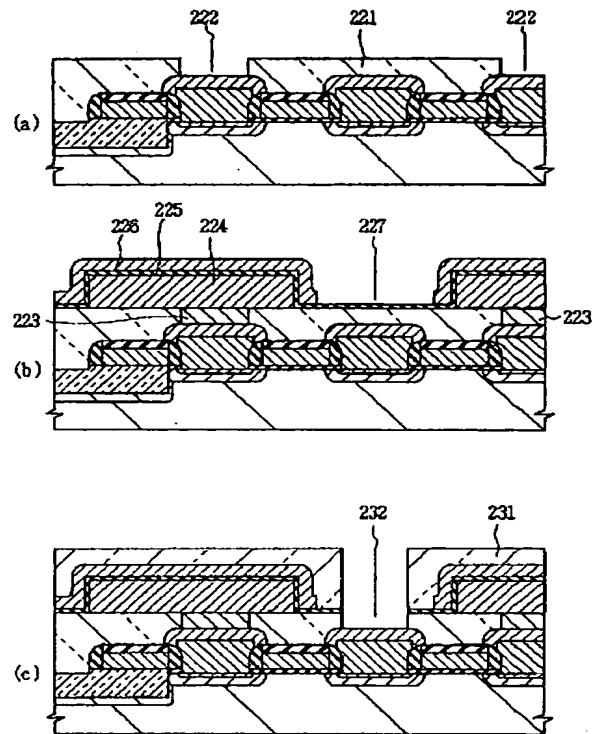
【図7】



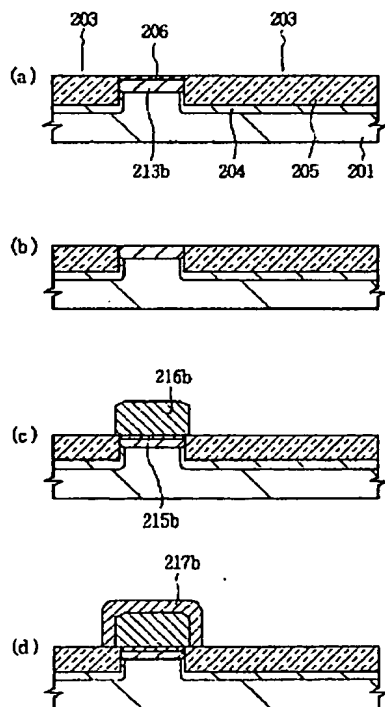
【図8】



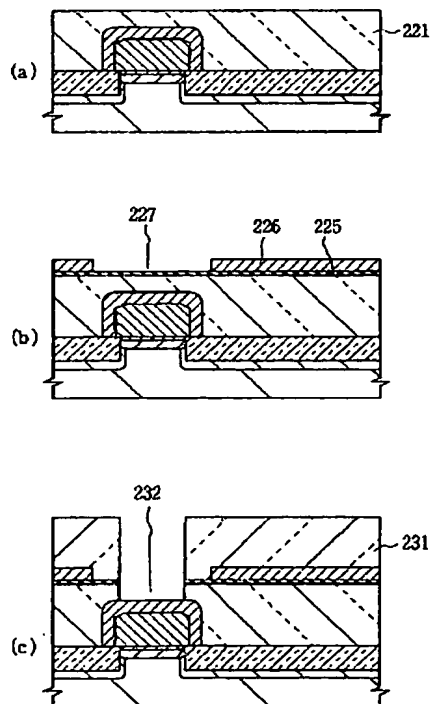
【図9】



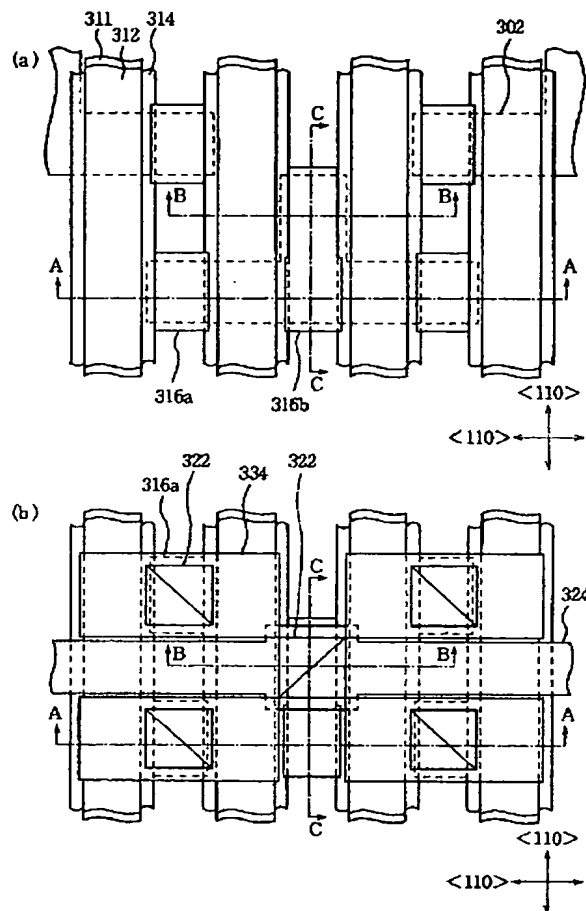
【図10】



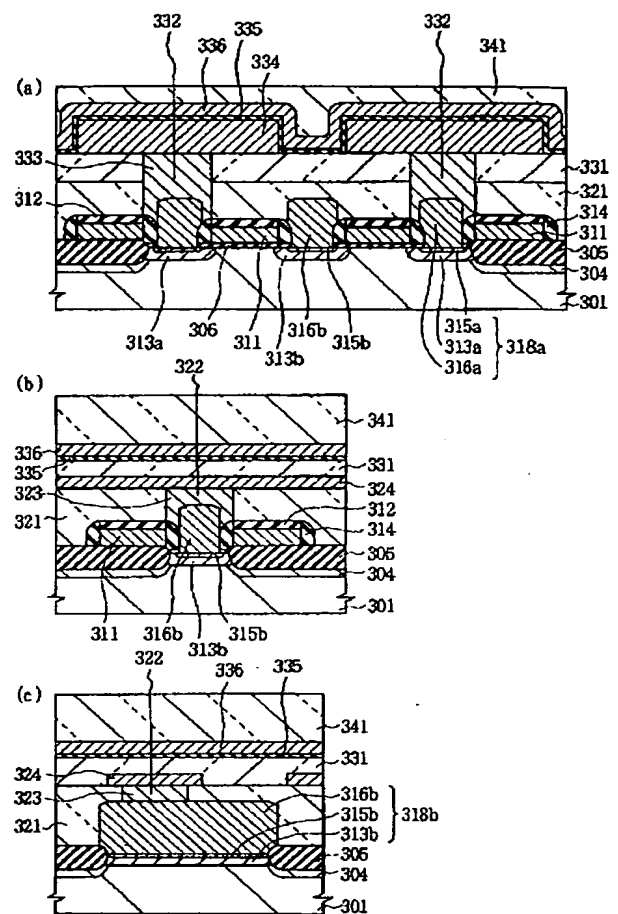
【図11】



【図12】



【図13】



フロントページの続き

(72)発明者 笠井 直記
東京都港区芝五丁目7番1号 日本電気株
式会社内